

豊田工業高等専門学校		開講年度	令和04年度 (2022年度)	授業科目	コンピュータ工学Ⅱ	
科目基礎情報						
科目番号	34113		科目区分	専門 / 選択		
授業形態	講義		単位の種別と単位数	履修単位: 1		
開設学科	情報工学科		対象学年	4		
開設期	前期		週時間数	2		
教科書/教材	「VHDLによるマイクロプロセッサ設計入門」仲野 巧著 (CQ出版社) ISBN:4-7898-3363-1/コンピュータ工学Ⅰの教科書、および教材用プリント (電子資料)					
担当教員	仲野 巧					
到達目標						
(ア)CISCのコンピュータアーキテクチャが理解でき、説明できる。 (イ)COMETの命令セットが理解でき、アセンブリ言語でプログラムできる。 (ウ)COMETのコンピュータが理解でき、VHDLで設計できる。						
ルーブリック						
	最低限の到達レベルの目安(優)		最低限の到達レベルの目安(良)		最低限の到達レベルの目安(不可)	
評価項目(ア)	CISCのコンピュータアーキテクチャが理解でき、説明できる。		CISCのコンピュータアーキテクチャが理解できる。		CISCのコンピュータアーキテクチャが理解できない。	
評価項目(イ)	COMETの命令セットが理解でき、アセンブリ言語でプログラムできる。		COMETの命令セットが理解できる。		COMETの命令セットが理解できない。	
評価項目(ウ)	COMETのコンピュータが理解でき、VHDLで設計できる。		COMETのコンピュータが理解できる。		COMETのコンピュータが理解できない。	
学科の到達目標項目との関係						
学習・教育到達度目標 A1 ハードウェアの基本動作を理論面から解析できるとともに、ソフトウェア的手法を利用してハードウェアを設計できる。 JABEE d 当該分野において必要とされる専門的知識とそれらを応用する能力 本校教育目標 ① ものづくり能力						
教育方法等						
概要	情報化社会では、その中枢を担うコンピュータを理解することが必要不可欠である。そこで、CISCのコンピュータを例に、アセンブリ言語とハードウェアの動作について理解する。また、情報処理技術者試験のアセンブリ言語CASLⅡをシミュレータで動作させながら、コンピュータの動作について学習する。さらに、教育用マイクロプロセッサのCOMETをVHDLで設計しながら、コンピュータアーキテクチャについて学習する。 この科目は企業で組込みシステムの設計を担当していた教員が、その経験を活かし、ハードウェアの技術、特徴、コンピュータの動作等について講義・演習形式で授業を行うものである。					
授業の進め方・方法	講義でノートに書く代わりに、説明した内容を整理してパソコンでテキストにまとめ、電子的に提出する。					
注意点	コンピュータ工学Ⅰの単位を修得していることが望ましい。なお、ノートパソコンを利用した復習、演習レポート・課題の提出、および小テストなどを行う。					
選択必修の種別・旧カリ科目名						
授業の属性・履修上の区分						
<input type="checkbox"/> アクティブラーニング		<input type="checkbox"/> ICT 利用		<input type="checkbox"/> 遠隔授業対応		
<input checked="" type="checkbox"/> 実務経験のある教員による授業						
授業計画						
	週	授業内容		週ごとの到達目標		
前期	1週	シラバスの説明 (評価基準)、HDL、集積回路、ASIC、再構成可能ハードウェア、VHDLシミュレータの操作 (復習レポート)		HDL、集積回路、ASIC、FPGAとシミュレータが理解できる		
	2週	半加算器の記述、論理合成、配置配線、FPGAへの実装、全加算器の階層構造設計記述、シミュレーション (演習レポート)		半加算器、全加算器の設計とシミュレーションが理解できる		
	3週	4ビット加算回路、Nビット加算回路、テストデータによるテスト、演算回路の自動生成、テストベンチ (演習レポート)		加算回路とテストベンチが理解できる		
	4週	組み合わせ論理回路：全加算回路、比較回路、セレクト回路、デコーダ回路、パリティ回路 (演習レポート)		組み合わせ論理回路の設計が理解できる		
	5週	順序論理回路：非同期信号、同期信号、リセット・セット付DFF、専用レジスタ (演習レポート)		順序論理回路の設計が理解できる		
	6週	小テスト、まとめ		5回の授業の内容が理解できる		
	7週	機能レジスタと状態遷移回路の設計 (演習レポート)		機能レジスタと状態遷移回路の設計が理解できる		
	8週	VHDLによるSN161と4ビットマイコンの設計とFPGAへの実装 (演習レポート)		VHDLによる4ビットマイコン設計ができる		
	2ndQ	9週	COMETのデータバスと制御信号：アーキテクチャを考慮したデータの流と命令毎の制御 (復習レポート)		データバスと制御信号が理解できる	
		10週	COMETの制御部とデータバス部：メモリ・レジスタ部の設計 (演習レポート)		マイクロプログラム制御信号とメモリ・レジスタ部の設計ができる	
		11週	COMETのデータバス部：レジスタ・ファイル部とALU部の設計 (演習レポート)		レジスタ・ファイル部とALU部の設計ができる	
		12週	小テスト、まとめ		5回の授業の内容が理解できる	
		13週	COMETのシミュレーション：基本命令1、2、3、4の確認 (演習レポート)		基本命令の確認ができる	

	14週	COMETのシミュレーション：分岐命令6、7、8の確認 (演習レポート)	分岐命令の確認ができる
	15週	ハーバードアーキテクチャ(4)CISCとRISC (演習レポート)	CISCとRISCが理解できる
	16週		

モデルコアカリキュラムの学習内容と到達目標

分類	分野	学習内容	学習内容の到達目標	到達レベル	授業週
----	----	------	-----------	-------	-----

評価割合

	定期試験	課題	小テスト	合計
総合評価割合	50	20	30	100
基礎的能力	50	20	30	100