

釧路工業高等専門学校		開講年度	令和02年度 (2020年度)	授業科目	ハードウェア記述言語 (旧カリ)
科目基礎情報					
科目番号	0070		科目区分	専門 / 選択	
授業形態	講義		単位の種別と単位数	学修単位: 2	
開設学科	電子工学分野		対象学年	5	
開設期	後期		週時間数	2	
教科書/教材	自作プリント参考書 ・堀 桂太郎 著, 「図解 VHDL実習」, 森北出版 ・並木 秀明, 永井 巨道 共著, 「VHDLによるデジタル回路入門」, 技術評論社 ・木村 誠聡, 「ハードウェア記述言語によるデジタル回路設計の基礎」, 数理工学社				
担当教員	山形 文啓				
到達目標					
VHDLの文法を理解できる VHDLによって記述された論理回路をFPGAまたはCPLDデバイス上に構成し, 動作確認できる HDLにおける階層設計の考え方を理解できる VHDLによって記述したデジタル回路をシミュレーションによって動作確認できる					
ループリック					
	理想的な到達レベルの目安	標準的な到達レベルの目安	未到達レベルの目安		
VHDLの文法を理解できる	VHDLの高度な文法を理解できる	VHDLの標準的な文法を理解できる	VHDLの基本的な文法を理解できない		
VHDLによって記述された論理回路をFPGAまたはCPLDデバイス上に構成し, 動作確認できる	VHDLによって記述された応用的な論理回路をFPGAまたはCPLDデバイス上に構成し, 動作確認できる x000D_	VHDLによって記述された標準的な論理回路をFPGAまたはCPLDデバイス上に構成し, 動作確認できる	VHDLによって記述された基本的な論理回路をFPGAまたはCPLDデバイス上に構成できない。また動作確認できない		
HDLにおける階層設計の考え方を理解できる	HDLにおける高度な階層設計の考え方を理解できる	HDLにおける標準的な階層設計の考え方を理解できる	HDLにおける基本的な階層設計の考え方を理解できない		
VHDLによって記述したデジタル回路をシミュレーションによって動作確認できる	VHDLによって記述した応用的なデジタル回路をシミュレーションによって動作確認できる	VHDLによって記述した標準的なデジタル回路をシミュレーションによって動作確認できる	VHDLによって記述した基本的なデジタル回路をシミュレーションによって動作確認できない		
学科の到達目標項目との関係					
学習・教育到達度目標 D					
教育方法等					
概要	座学の論理回路で学習した論理回路設計の知識を応用し, ハードウェア記述言語によるデジタル回路設計を学習する。言語に関しては近年広く普及されているVHDLを採用する。ここでは, VHDLの使用法, FPGAまたはCPLD上への回路構成と動作確認を学習する。				
授業の進め方・方法	講義ごとに配布するテキストをもとに, 講義, 実験を行う。 合否判定: 2回の定期試験の結果の平均が60点以上であること。かつ, レポートをすべて提出していること。 最終判定: 定期試験2回[80%], レポート[20%]にて評価する。 関連科目: 論理回路I, 論理回路II 講義内容を実際に実験を通じて体験し理解を深めること。				
注意点	課題をすべて提出しなければ単位を与えないので, 課題は必ず提出すること。				
授業計画					
	週	授業内容	週ごとの到達目標		
後期	3rdQ	1週	VHDLによる回路設計の基礎(1)	ハードウェア記述言語による回路設計のアウトラインが説明できる。	
		2週	VHDLによる回路設計の基礎(2)	ハードウェア記述言語による回路設計のアウトラインが説明できる。	
		3週	VHDLの文法(1)	簡単な回路を対象にしてVHDLの記述, デバイスへのダウンロード, 動作確認ができる。	
		4週	VHDLの文法(2)	簡単な回路を対象にしてVHDLの記述, デバイスへのダウンロード, 動作確認ができる。	
		5週	VHDLの文法(3)	簡単な回路を対象にしてVHDLの記述, デバイスへのダウンロード, 動作確認ができる。	
		6週	VHDLの文法(4)	簡単な回路を対象にしてVHDLの記述, デバイスへのダウンロード, 動作確認ができる。	
		7週	VHDLの文法(5)	簡単な回路を対象にしてVHDLの記述, デバイスへのダウンロード, 動作確認ができる。	
		8週	後期中間試験:実施する		
	4thQ	9週	組合せ回路, 順序回路の設計(1)	組み合わせ回路, 順序回路など具体的なデジタル回路について, VHDLコード記述, デバイスへのダウンロード, 動作確認ができる。	
		10週	組合せ回路, 順序回路の設計(2)	組み合わせ回路, 順序回路など具体的なデジタル回路について, VHDLコード記述, デバイスへのダウンロード, 動作確認ができる。	
		11週	組合せ回路, 順序回路の設計(3)	組み合わせ回路, 順序回路など具体的なデジタル回路について, VHDLコード記述, デバイスへのダウンロード, 動作確認ができる。	
		12週	組合せ回路, 順序回路の設計(4)	組み合わせ回路, 順序回路など具体的なデジタル回路について, VHDLコード記述, デバイスへのダウンロード, 動作確認ができる。	
		13週	階層設計(1)	階層設計の考え方が説明できる。カウンタやスロットマシンなどのデジタル回路が設計できる。	
		14週	階層設計(2)	階層設計の考え方が説明できる。カウンタやスロットマシンなどのデジタル回路が設計できる。	

		15週	階層設計(3)	階層設計の考え方が説明できる。カウンタやスロットマシンなどのデジタル回路が設計できる。
		16週	後期期末試験:実施する	

モデルコアカリキュラムの学習内容と到達目標

分類	分野	学習内容	学習内容の到達目標	到達レベル	授業週
----	----	------	-----------	-------	-----

評価割合

	試験	発表	相互評価	態度	ポートフォリオ	その他	合計
総合評価割合	80	0	0	0	20	0	100
基礎的能力	0	0	0	0	0	0	0
専門的能力	80	0	0	0	20	0	100
分野横断的能力	0	0	0	0	0	0	0