

函館工業高等専門学校		開講年度	令和05年度 (2023年度)		授業科目	論理設計
科目基礎情報						
科目番号	0124		科目区分	専門 / 選択		
授業形態	演習		単位の種別と単位数	学修単位: 2		
開設学科	生産システム工学科		対象学年	4		
開設期	前期		週時間数	2		
教科書/教材	わかるVerilog HDL入門 木村真也 CQ出版社/ 論理回路 曽根将容 コロナ社/ 入門Verilog-HDL記述 小林優 CQ出版社					
担当教員	高橋 直樹					
到達目標						
1.HDLを用いた設計の利点を理解し、論理設計に活用できる。 2.各種論理回路をHDLで記述できる。 3.オリジナルCPUをHDLで記述し、動作を確認できる 4.CPUより高速な処理ができる専用ハードウェアをHDLで記述し、動作を確認できる。 5.HDLで記述した論理回路が正常に動作しないとき、その原因と対策が説明できる。						
ルーブリック						
	理想的な到達レベルの目安		標準的な到達レベルの目安		未到達レベルの目安	
HDL	HDLの利点を理解し、HDLによる論理設計ができる。		HDLを用いる利点が説明できる。		HDLを用いる利点が説明できない。	
論理回路	要求を分析し、論理回路をHDLで設計できる。		カルノー図等から論理をHDLで記述できる。		論理回路をHDLで記述できない。	
CPU	CPUの内部動作が説明できる。HDLを用いてCPUの設計ができる。設計したCPUについて自力で二モニックでプログラムを記述し、マシン語に変換できる。		CPUの内部動作を説明できる。HDLを用いてCPUの設計ができる。設計したCPUについて、例題に基づきマシン語プログラムをつくらることができる。		CPUの内部動作を説明できない。設計したCPUについて、例題に基づきマシン語プログラムをつくらることができない。	
専用ハードウェア	専用ハードウェアによる計算回路をHDLで記述でき、さらに高速化の工夫ができる。		専用ハードウェアによる計算回路をHDLで記述できる。		専用ハードウェアによる計算回路をHDLで記述できない。	
デバッグ	シミュレーターが生成したタイミングチャートを分析し、発生している不具合について、原因と対策が説明できる。		シミュレーターが生成したタイミングチャートを分析し、発生している不具合について原因が説明できる。		シミュレーターが生成したタイミングチャートを分析できない。発生している不具合について原因が説明できない。	
学科の到達目標項目との関係						
函館高専教育目標 B						
教育方法等						
概要	HDL(ハードウェア記述言語)の基本について学習する。第3学年で学習した論理回路を基礎として、具体的なデジタル回路(組み合わせ論理や順序回路)の設計法をハードウェア・ソフトウェアそれぞれの観点から学び、HDLにおける設計法の基礎的知識を習得する。 授業内容は公知の情報のみに限定される。					
授業の進め方・方法	第3学年で学習した論理回路が基礎となる。各種組合せ論理回路や順序回路について十分に理解し、説明、設計できることが要求される。 必要とされる予備知識：論理回路、ブルー代数 関連科目：論理回路、コンピュータ工学、情報工学実験Ⅲ等 評価の方法・定期試験の方法：課題100% 学習上の留意点：HDL開発環境による課題実習を含む。実習環境はひとりづつ異なるため、各自USBメモリ(8GB以上、USB3.0を推奨)を用意する。					
注意点	本科目は学修単位(2単位)の授業であるため、履修時間は授業時間(講義)30時間と授業時間以外の学修(予習・復習・課題等のための学修)を併せて90時間である。 自学自習の成果は課題によって評価する。					
授業の属性・履修上の区分						
☐ アクティブラーニング		☒ ICT 利用		☐ 遠隔授業対応		☐ 実務経験のある教員による授業
授業計画						
		週	授業内容		週ごとの到達目標	
前期	1stQ	1週	ガイダンス 論理回路復習		科目の位置付、必要性、到達目標、留意点が理解できる。 基本的な組み合わせ論理回路が説明できる。仕様に基づき組み合わせ論理回路・同期カウンタが設計できる。	
		2週	HDLとデジタル回路 Verilog-HDL基礎		HDLを用いた論理設計の利点について説明できる。論理合成が説明できる。 開発ツールを用いて簡単な論理回路を作ることができる。	
		3週	組み合わせ論理回路のHDL記述		Verilog-HDLの記述スタイル、シミュレーションが説明できる。 Verilog-HDLで各種組み合わせ論理回路が記述できる。	
		4週	フリップフロップのHDL記述		Verilog-HDLでフリップフロップが記述できる。	
		5週	順序回路のHDL記述		Verilog-HDLで順序回路が記述できる。論理回路の動作をシミュレーター上で確認できる。	
		6週	モジュールのインスタンス化 ステートマシンの設計		Verilog-HDLにおける階層設計法を説明できる。 Verilog-HDLでステートマシンが記述できる。	
		7週	CPUの設計		CPUの仕様が理解できる。	
		8週	CPUの設計		CPUの内部状態を説明できる。CPUをステートマシンとして説明できる。	

2ndQ	9週	CPUの設計	CPUの仕様に基づいてマシン語(命令セット)が設計できる。
	10週	CPUの設計	CPUの仕様に基づいてVerilog-HDLでCPUの内部構造が記述できる。
	11週	CPUの設計	CPUの仕様に基づいてマシン語で簡単なプログラムが記述できる。
	12週	CPUの設計	Verilog-HDLでCPUの内部構造を記述できる。
	13週	CPUの設計	シミュレーションによりCPUの内部状態をタイミングチャート等で観測することができる。
	14週	CPUの設計	CPUの内部状態を観測し、プログラムの実行状過程を説明できる。
	15週	CPUと専用ハードウェア	CPUと演算に特化した論理回路を比較し、それぞれの利点が説明できる。
	16週		

モデルコアカリキュラムの学習内容と到達目標

分類	分野	学習内容	学習内容の到達目標	到達レベル	授業週
----	----	------	-----------	-------	-----

評価割合

	試験	発表	相互評価	態度	ポートフォリオ	課題	合計
総合評価割合	0	0	0	0	0	100	100
基礎的能力	0	0	0	0	0	50	50
専門的能力	0	0	0	0	0	50	50
分野横断的能力	0	0	0	0	0	0	0