

熊本高等専門学校		開講年度	平成28年度 (2016年度)		授業科目	情報処理回路	
科目基礎情報							
科目番号	0005			科目区分	専門 / 選択		
授業形態	授業			単位の種別と単位数	学修単位: 2		
開設学科	電子情報システム工学専攻			対象学年	専2		
開設期	前期			週時間数	2		
教科書/教材	自作プリントを配布, (参考書 榎本忠義「CMOS集積回路」培風館ほか)						
担当教員	松尾 和典						
到達目標							
1. CMOSインバータの動作機構を理解でき、各種の論理回路をCMOS構成で実現できる。 2. 2進数およびBCD数の加減算、乗算の基本アルゴリズムや高速化アルゴリズムを説明できる。 3. 2進数およびBCD数の加減算、乗算の各種高速化回路をCMOS構成論理回路で構成できる。4. 4ビットBCD加算、減算、乗算などの演算プロセッサの実設計を完成できる。							
ルーブリック							
	理想的な到達レベルの目安			標準的な到達レベルの目安		未到達レベルの目安	
CMOS論理回路設計	CMOSの動作原理を理解して説明することができ、各種のCMOS論理回路に対してゲートレベルで動作速度と少消費電力を目指した回路構成ができる。			CMOSの動作原理を理解して説明することができ、各種のCMOS論理回路に対してゲートレベルで回路構成ができる。		CMOSの動作原理を理解できず、各種のCMOS論理回路に対してゲートレベルで回路構成ができない。	
2進数加減算, 乗算の基本アルゴリズムと高速化アルゴリズム	2進数加減算, 乗算の基本アルゴリズムを理解して説明することができ、高速化アルゴリズムも理解して適用できる。			2進数加減算, 乗算の基本アルゴリズムを理解して説明することができ、高速化アルゴリズムも理解できる。		2進数加減算, 乗算の基本アルゴリズムを理解できず、高速化アルゴリズムも理解できない。	
2進数加減算, 乗算のCMOS論理回路構成	2進数加減算, 乗算回路をCMOS論理回路にてそれぞれ構成でき, 説明することができる。			2進数加減算, 乗算回路をCMOS論理回路にてそれぞれ構成できる。		2進数加減算, 乗算回路をCMOS論理回路にて構成できない。	
学科の到達目標項目との関係							
JABEE非対応教育プログラム「電子情報技術専修コース」(1)-1 JABEE対応教育プログラム「電子・情報技術応用工学コース」D-1							
教育方法等							
概要	各種のデジタル演算処理回路のアルゴリズムを述べ、CMOS基本回路を用いたデジタルスイッチ・論理素子による情報処理回路を構成、解析することで情報処理のための回路技術を講義する。さらに、CMOS論理回路で構成された4ビット加算、減算などの演算プロセッサの設計の基礎技術について解説する。						
授業の進め方・方法	自学学習のために、毎授業時間ごとに授業内容を演習課題として出題し、解答の提出期限は翌週の授業開始時間としている。						
注意点	1単位あたり30時間程度の自学自習が求められます。						
授業計画							
		週	授業内容		週ごとの到達目標		
前期	1stQ	1週	ガイダンス		PMOSやNMOSトランジスタのスイッチ動作とパルス応答について、既に理解したことを説明できる。		
		2週	各種CMOS論理回路		双方向スイッチ構成を理解し、複合ゲートEXOR回路のCMOS構成を実現できる。		
		3週	2進数, 10進数加減算の原理		2進数、10進数の加算および減算(補数加算)原理について説明できる。		
		4週	2進数加減算回路のCMOS構成		4 bitのけた上げ伝搬形2進数加減算回路のCMOSを実現できる。		
		5週	符号桁2進数加減算の原理		正の2進数間、および符号桁を有する2進数間の補数加減算原理を説明できる。		
		6週	4 bit 2進数CLA加減算回路のCMOS構成		けた上げ先見機能の理論を理解し、高速CLA加算回路のCMOS構成を実現できる。		
		7週	2進化10進数加減算原理		符号桁付2進化10進数加減算のための変換処理原理について説明できる。		
		8週	BCD数加減算回路のCMOS構成		BCD加減算回路に必要な補数生成回路、2進数—BCD数変換回路を構成できる。		
	2ndQ	9週	多数桁2進数乗算回路の基本回路構成		2進数乗算の部分積加算を理解し、基本回路で並列乗算回路を構成できる。		
		10週	多数桁2進数乗算回路のWallece-tree高速化		同一桁を可能な限り同時に行うことで処理段数を減少させ高速化法を実現できる。		
		11週	Boothアルゴリズムを用いた部分積数の削減		2次のBoothアルゴリズムを用い部分積数を削減させた高速乗算の動作理論が説明できる。		
		12週	デコーダ、符号ビット生成・数値ビット生成原理		デコーダ、符号ビット生成・数値ビット生成アルゴリズムと論理式を説明できる。		
		13週	6×6ビット2進数乗算		Boothアルゴリズムを用いた6×6ビット2進数乗算を説明できる。		
		14週	6×6ビット2進数乗算回路の構成		Boothアルゴリズムによる6×6ビット乗算回路が構成できる。		
		15週	4×4ビット乗算回路の実設計				
		16週	答案返却				
モデルコアカリキュラムの学習内容と到達目標							
分類	分野	学習内容	学習内容の到達目標			到達レベル	授業週
評価割合							
	試験	レポート課題	相互評価	態度	ポートフォリオ	その他	合計

総合評価割合	70	30	0	0	0	0	100
基礎的能力	0	0	0	0	0	0	0
専門的能力	70	30	0	0	0	0	100
分野横断的能力	0	0	0	0	0	0	0