

|                                                                                                                                                              |             |                                                                                                                             |                         |                                                     |                                                 |                                                                |  |
|--------------------------------------------------------------------------------------------------------------------------------------------------------------|-------------|-----------------------------------------------------------------------------------------------------------------------------|-------------------------|-----------------------------------------------------|-------------------------------------------------|----------------------------------------------------------------|--|
| Kure College                                                                                                                                                 |             | Year                                                                                                                        | 2021                    |                                                     | Course Title                                    | IC Design Engineering                                          |  |
| Course Information                                                                                                                                           |             |                                                                                                                             |                         |                                                     |                                                 |                                                                |  |
| Course Code                                                                                                                                                  |             | 0255                                                                                                                        |                         | Course Category                                     |                                                 | Specialized / 選択必修／選択                                          |  |
| Class Format                                                                                                                                                 |             | Lecture                                                                                                                     |                         | Credits                                             |                                                 | School Credit: 1                                               |  |
| Department                                                                                                                                                   |             | Electrical Engineering and Information Science                                                                              |                         | Student Grade                                       |                                                 | 4th                                                            |  |
| Term                                                                                                                                                         |             | First Semester                                                                                                              |                         | Classes per Week                                    |                                                 | 2                                                              |  |
| Textbook and/or Teaching Materials                                                                                                                           |             | 木村真也著 トランジスタ技術 S P E C I A L 「わかるVerilog HDL入門」 CQ出版                                                                        |                         |                                                     |                                                 |                                                                |  |
| Instructor                                                                                                                                                   |             | Yokonuma Mitsuo                                                                                                             |                         |                                                     |                                                 |                                                                |  |
| Course Objectives                                                                                                                                            |             |                                                                                                                             |                         |                                                     |                                                 |                                                                |  |
| 1. Verilog HDLの文法基礎および回路設計の流れを理解する。<br>2. 開発ソフトの操作方法およびFPGAへの実装方法を習得し、理解する。<br>3. 順序回路、組み合わせ回路、ステートマシン等のHDL設計を習得し、理解する。<br>4. シミュレータを使った基礎的な設計検証方法を習得し、理解する。 |             |                                                                                                                             |                         |                                                     |                                                 |                                                                |  |
| Rubric                                                                                                                                                       |             |                                                                                                                             |                         |                                                     |                                                 |                                                                |  |
|                                                                                                                                                              |             | 理想的な到達レベルの目安                                                                                                                |                         | 標準的な到達レベルの目安                                        |                                                 | 未到達レベルの目安                                                      |  |
| 評価項目1                                                                                                                                                        |             | Verilog HDLの文法基礎および回路設計の流れを適切に理解できる。                                                                                        |                         | Verilog HDLの文法基礎および回路設計の流れを理解できる。                   |                                                 | Verilog HDLの文法基礎および回路設計の流れを理解できない。                             |  |
| 評価項目2                                                                                                                                                        |             | 開発ソフトの操作方法およびFPGAへの実装方法を高いレベルで習得し、その意味を適切に理解できる。                                                                            |                         | 開発ソフトの操作方法およびFPGAへの実装方法を習得し、その意味を理解できる。             |                                                 | 開発ソフトの操作方法およびFPGAへの実装方法を習得できない、あるいはその意味を理解できない。                |  |
| 評価項目3                                                                                                                                                        |             | 順序回路、組み合わせ回路、ステートマシン等のHDL設計を高度に習得し、その内容を適切に理解できる。                                                                           |                         | 順序回路、組み合わせ回路、ステートマシン等のHDL設計を習得し、内容を理解できる。           |                                                 | 順序回路、組み合わせ回路、ステートマシン等のHDL設計を習得できない、あるいは内容を理解できない。              |  |
| Assigned Department Objectives                                                                                                                               |             |                                                                                                                             |                         |                                                     |                                                 |                                                                |  |
| 学習・教育到達度目標 本科の学習・教育目標 (HC)                                                                                                                                   |             |                                                                                                                             |                         |                                                     |                                                 |                                                                |  |
| Teaching Method                                                                                                                                              |             |                                                                                                                             |                         |                                                     |                                                 |                                                                |  |
| Outline                                                                                                                                                      |             | 現在、大規模デジタル回路設計の主流である、ハードウェア記述言語(HDL)によるデジタル回路の設計手法を学ぶ科目である。                                                                 |                         |                                                     |                                                 |                                                                |  |
| Style                                                                                                                                                        |             | 講義を基本とし、開発ソフトを用いて回路設計、シミュレーション、FPGAボードで実機演習を行う。試験は定期試験を行う。                                                                  |                         |                                                     |                                                 |                                                                |  |
| Notice                                                                                                                                                       |             | 3 学年の情報処理Ⅲの後半で学んだ論理回路の基礎を発展させるための科目である。また、HDLによるデジタル設計の習得には、論理回路だけでなく、C言語などのプログラミング言語の知識が必要である。基礎的な論理回路とC言語を十分習得した後に受講すること。 |                         |                                                     |                                                 |                                                                |  |
| Characteristics of Class / Division in Learning                                                                                                              |             |                                                                                                                             |                         |                                                     |                                                 |                                                                |  |
| <input type="checkbox"/> Active Learning                                                                                                                     |             | <input type="checkbox"/> Aided by ICT                                                                                       |                         | <input type="checkbox"/> Applicable to Remote Class |                                                 | <input type="checkbox"/> Instructor Professionally Experienced |  |
|                                                                                                                                                              |             |                                                                                                                             |                         |                                                     |                                                 |                                                                |  |
| Course Plan                                                                                                                                                  |             |                                                                                                                             |                         |                                                     |                                                 |                                                                |  |
|                                                                                                                                                              |             |                                                                                                                             | Theme                   |                                                     | Goals                                           |                                                                |  |
| 1st Semester                                                                                                                                                 | 1st Quarter | 1st                                                                                                                         | I C設計の現状とHDLによる回路設計の流れ  |                                                     | I C設計の現状とHDLによる回路設計の流れを図示または説明できる。              |                                                                |  |
|                                                                                                                                                              |             | 2nd                                                                                                                         | Verilog HDLの基礎 I        |                                                     | Verilog HDLの基本的なコマンドを記述、説明できる。                  |                                                                |  |
|                                                                                                                                                              |             | 3rd                                                                                                                         | Verilog HDLの基礎Ⅱ         |                                                     | Verilog HDLの基本的なコマンドを記述、説明できる。                  |                                                                |  |
|                                                                                                                                                              |             | 4th                                                                                                                         | Verilog HDLの基礎Ⅲ         |                                                     | Verilog HDLによるシミュレータの基本的操作を記述、説明できる。            |                                                                |  |
|                                                                                                                                                              |             | 5th                                                                                                                         | Verilog HDLによるデジタル回路設計Ⅰ |                                                     | Verilog HDLによるデジタル回路設計（簡単な組み合わせ回路）を記述、説明できる。    |                                                                |  |
|                                                                                                                                                              |             | 6th                                                                                                                         | Verilog HDLによるデジタル回路設計Ⅱ |                                                     | Verilog HDLによるデジタル回路設計（より複雑な組み合わせ回路）を記述、説明できる。  |                                                                |  |
|                                                                                                                                                              |             | 7th                                                                                                                         | 中間試験                    |                                                     |                                                 |                                                                |  |
|                                                                                                                                                              |             | 8th                                                                                                                         | 答案返却・解答説明               |                                                     |                                                 |                                                                |  |
|                                                                                                                                                              | 2nd Quarter | 9th                                                                                                                         | Verilog HDLによるデジタル回路設計Ⅲ |                                                     | Verilog HDLによるデジタル回路設計（簡単な順序回路）を記述、説明できる。       |                                                                |  |
|                                                                                                                                                              |             | 10th                                                                                                                        | Verilog HDLによるデジタル回路設計Ⅳ |                                                     | Verilog HDLによるデジタル回路設計（より複雑な順序回路）を記述、説明できる。     |                                                                |  |
|                                                                                                                                                              |             | 11th                                                                                                                        | Verilog HDLによるデジタル回路設計Ⅴ |                                                     | Verilog HDLによるデジタル回路設計のトレードオフ問題について項目を挙げ、説明できる。 |                                                                |  |
|                                                                                                                                                              |             | 12th                                                                                                                        | Verilog HDLによるデジタル回路設計Ⅵ |                                                     | 複雑な順序回路に対してシミュレータを用いた動作検証を記述、説明できる。             |                                                                |  |
|                                                                                                                                                              |             | 13th                                                                                                                        | Verilog HDLによるデジタル回路設計Ⅶ |                                                     | Verilog HDLによるデジタル回路設計（ステートマシン）を記述、説明できる。       |                                                                |  |
|                                                                                                                                                              |             | 14th                                                                                                                        | Verilog HDLによるデジタル回路設計Ⅷ |                                                     | Verilog HDLによるデジタル回路設計（ステートマシンの応用回路）を記述、説明できる。  |                                                                |  |
|                                                                                                                                                              |             | 15th                                                                                                                        | 答案返却・解答説明               |                                                     |                                                 |                                                                |  |
|                                                                                                                                                              |             | 16th                                                                                                                        |                         |                                                     |                                                 |                                                                |  |

| Evaluation Method and Weight (%) |    |    |      |    |         |     |       |
|----------------------------------|----|----|------|----|---------|-----|-------|
|                                  | 試験 | 発表 | 相互評価 | 態度 | ポートフォリオ | その他 | Total |
| Subtotal                         | 70 | 0  | 0    | 0  | 30      | 0   | 100   |
| 基礎的能力                            | 0  | 0  | 0    | 0  | 0       | 0   | 0     |
| 専門的能力                            | 70 | 0  | 0    | 0  | 30      | 0   | 100   |
| 分野横断的能力                          | 0  | 0  | 0    | 0  | 0       | 0   | 0     |