

長野工業高等専門学校		開講年度	令和06年度 (2024年度)		授業科目	応用論理回路設計	
科目基礎情報							
科目番号	0013			科目区分	専門 / 選択		
授業形態	授業			単位の種別と単位数	学修単位: 2		
開設学科	生産環境システム専攻（先端融合テクノロジー連携教育プログラム）			対象学年	専1		
開設期	前期			週時間数	2		
教科書/教材							
担当教員	小野 伸幸						
到達目標							
論理回路設計におけるHDLの有用性を理解し、各種デジタルシステムの基本的な設計から実装、シミュレーションを通じた動作確認までのプロセスを遂行できること。これらの内容を満たして、学習・教育目標の(D-2)の達成とする。							
ルーブリック							
	理想的な到達レベルの目安			標準的な到達レベルの目安		未到達レベルの目安	
HDLを使用した回路設計	HDLを使用した回路設計の特徴やメリットを説明できる			HDLを使用した回路設計の基本的な考え方を説明できる		HDLを使用した回路設計の考え方が説明できない	
HDLを使用した組合せおよび順序回路の設計と検証	HDLを使用した組合せおよび順序回路の設計と検証ができ、回路設計に適用できる			HDLを使用した組合せおよび順序回路の設計と検証ができる		HDLを使用した組合せおよび順序回路の設計と検証ができない	
機能ブロックの設計および検証	機能ブロックの設計および検証を通じて動作を考察できる			機能ブロックの設計および検証ができる		機能ブロックの設計および検証ができない	
学科の到達目標項目との関係							
教育方法等							
概要	現在のデジタルシステムの開発はHDLによる設計が主流である。本講義ではVerilog-HDLによるデジタルシステム設計において、特にマイクロプロセッサ周辺デバイスやメカトロニクスインターフェースの設計を中心に解説し、HDLによるデジタルシステム設計に関する基礎知識の習得を目指す。						
授業の進め方・方法	講義中に所定の課題の実装演習を行う。なお、この科目は学修単位科目であり、授業時間30時間に加えて、自学自習時間60時間が必要である。事前・事後学習として課題等を与える。 <教科書> 必要に応じて資料を配布する。 <参考書> 小林優「入門Verilog HDL記述」CQ出版社						
注意点	<成績評価> 達成度試験(70%)、授業中に行う課題演習(30%)の合計100点満点で目標(D-2)の達成度を評価する。						
授業の属性・履修上の区分							
☐ アクティブラーニング		☐ ICT 利用		☒ 遠隔授業対応		☒ 実務経験のある教員による授業	
授業計画							
		週	授業内容		週ごとの到達目標		
前期	1stQ	1週	デジタルシステム設計の考え方1		デジタルシステム設計の作業工程が理解できる。		
		2週	デジタルシステム設計の考え方2		HDLによる回路設計の有用性が説明できる。		
		3週	Verilog-HDLの基本文法		組合せ回路および順序回路の基本文法が説明できる。		
		4週	HDLによる回路記述と検証		シミュレーションの有用性が説明できる。		
		5週	組合せ回路の設計1		組合せ回路の記述ができる。		
		6週	組合せ回路の設計2		組合せ回路の論理合成およびシミュレーションができる。		
		7週	順序回路の設計1		順序回路の記述ができる。		
		8週	順序回路の設計2		順序回路の論理合成およびシミュレーションができる。		
	2ndQ	9週	状態遷移法による設計		状態遷移法による設計と記述ができる。		
		10週	シリアルインターフェース		インタフェースについて説明できる。		
		11週	シリアルインターフェース回路の設計2		シリアルインタフェース回路の記述ができる。		
		12週	シリアルインターフェース回路の設計2		シリアルインタフェース回路の論理合成とシミュレーションができる。		
		13週	補間演算		補間演算の原理が理解できる。		
		14週	補間演算回路の設計1		補間演算回路の記述ができる。		
		15週	補間演算回路の設計2		補間演算回路の論理合成とシミュレーションができる。		
		16週	達成度試験				
評価割合							
	試験	レポート	相互評価	態度	ポートフォリオ	その他	合計
総合評価割合	70	30	0	0	0	0	100
基礎的能力	0	0	0	0	0	0	0
専門的能力	70	30	0	0	0	0	100
分野横断的能力	0	0	0	0	0	0	0