

仙台高等専門学校		開講年度	平成27年度 (2015年度)		授業科目	ディジタル技術
科目基礎情報						
科目番号	0008		科目区分	専門 / 必修		
授業形態	授業		単位の種別と単位数	履修単位: 2		
開設学科	情報システム工学科		対象学年	3		
開設期	通年		週時間数	2		
教科書/教材						
担当教員	力武 克彰,菅谷 純一					
到達目標						
1. データをディジタル表現する原理とディジタル表現されたデータを処理する原理を理解し、データを処理するための簡単な回路を設計できること。 2. デジタルコンピュータの構成や実際に用いられる構成要素の機能を理解し、その中で利用されている主要な技術を理解していること。						
ルーブリック						
		理想的な到達レベルの目安	標準的な到達レベルの目安		未到達レベルの目安	
評価項目1						
評価項目2						
評価項目3						
学科の到達目標項目との関係						
教育方法等						
概要	コンピュータの動作原理を理解するための知識と技術の修得を目指す。 2年時の「ディジタル技術基礎」で修得した、組み合わせ論理回路およびフリップフロップ回路の基礎知識を基に、ディジタルシステムの設計、実装および検証する能力の基礎を築く。					
授業の進め方・方法						
注意点	本科目は、ディジタル技術基礎、電子回路基礎、マイクロコンピュータ基礎、組込みシステム、コンピュータアーキテクチャと関連する。 回路の設計や実装を行なう実習を中心として授業を進める。2年時に学んだ「ディジタル技術基礎」について十分に復習しておくことが必須である。 回路実習に必要な事柄すべてを講義で教授する訳ではないので、自ら担当教員などに質問したり、参考図書などを調べたりする姿勢が望まれる。					
授業計画						
		週	授業内容		週ごとの到達目標	
前期	1stQ	1週	ガイダンス、実習機器の説明		授業概要を理解する。	
		2週	非同期式カウンタ（講義）		順序回路の構成とその働きについて理解出来る。	
		3週	非同期式カウンタ（実験１）		非同期式カウンタの設計と実装ができる。	
		4週	非同期式カウンタ（実験２）		非同期式カウンタの動作を検証し、レポートで報告することができる。	
		5週	同期式カウンタ、モジュラスカウンタ（講義）		同期式の順序回路の構成とその働きについて理解できる。	
		6週	同期式カウンタ、モジュラスカウンタ（実験１）		同期式カウンタ、モジュラスカウンタの設計と実装ができる。	
		7週	同期式カウンタ、モジュラスカウンタ（実験２）		同期式カウンタ、モジュラスカウンタの動作を検証し、レポートで報告することができる。	
		8週	レジスタとデータ転送(講義)		レジスタの構成とその働きについて理解できる。 シリアルデータ転送とパラレルデータ転送について回路構成と原理を理解できる。	
	2ndQ	9週	レジスタとデータ転送（実験１）		レジスタの設計と実装ができる。シリアルデータ転送とパラレルデータ転送の回路について設計と実装ができる。	
		10週	レジスタとデータ転送（実験２）		レジスタおよびシリアルデータ転送、パラレルデータ転送の動作を検証し、レポートで報告することができる。	
		11週	順序回路（講義）		一般的な順序回路がムーアマシンによって設計できることを理解できる。	
		12週	順序回路（実験１）		与えられた仕様を持つ順序回路をムーアマシンによって設計し、レジスタと組合せ論理回路を用いて実装できる。	
		13週	順序回路（実験２）		与えられた仕様を持つ順序回路をムーアマシンによって設計し、レジスタと組合せ論理回路を用いて実装できる。	
		14週	順序回路（実験３）		ムーアマシンによって設計実装された順序回路の動作を検証し、レポートで報告することができる。	
		15週	期末試験			
		16週	予備日			
後期	3rdQ	1週	ハードウェア記述言語 Verilog HDLの基本		ハードウェア記述言語Verilog HDLの基本的な構文を理解出来る。	
		2週	Verilog HDLの記述法および回路設計		ハードウェア記述言語Verilog HDLの基本的な構文を理解出来る。	
		3週	CPLD実習回路による実装		EDAツールを利用しVerilog HDLによる回路設計ができる。	
		4週	Verilog HDLによる組み合わせ論理回路の設計実習（講義）		Verilog HDLによって、基本的な組合せ論理回路（加算器、マルチプレクサ、デマルチプレクサ、エンコーダ、デコーダ）を設計する手法を理解できる。	

		5週	Verilog HDLによる組み合わせ論理回路の設計実習（実験1）	Verilog HDLにより、与えられた仕様の組合せ論理回路を設計、実装することができる。
		6週	Verilog HDLによる組み合わせ論理回路の設計実習（実験2）	Verilog HDLにより、与えられた仕様の組合せ論理回路を設計、実装することができる。
		7週	Verilog HDLによる組み合わせ論理回路の設計実習（実験3）	Verilog HDLにより、設計・実装された組合せ論理回路の動作を検証でき、レポートとして報告することができる。
		8週	Verilog HDLによる順序論理回路の設計実習（講義）	Verilog HDLによって、基本的な順序論理回路（フリップフロップ、カウンタ、レジスタ）を設計する手法を理解できる。
	4thQ	9週	Verilog HDLによる順序論理回路の設計実習（実験1）	Verilog HDLにより、与えられた仕様の順序論理回路を設計、実装することができる。
		10週	Verilog HDLによる順序論理回路の設計実習（実験2）	Verilog HDLにより、与えられた仕様の順序論理回路を設計、実装することができる。
		11週	Verilog HDLによる順序論理回路の設計実習（実験3）	Verilog HDLにより、設計・実装された順序論理回路の動作を検証でき、レポートとして報告することができる。
		12週	ディジタル回路設計開発実習（実験1）	自ら仕様を定めた論理回路について、Verilog HDLを用いて設計と実装ができる。
		13週	ディジタル回路設計開発実習（実験2）	自ら仕様を定めた論理回路について、Verilog HDLを用いて設計と実装ができる。
		14週	ディジタル回路設計開発実習（実験3）	Verilog HDLを用いて設計と実装をした論理回路について、その動作を検証しレポートで報告することができる。
		15週	学年末試験	
		16週	予備日	

モデルコアカリキュラムの学習内容と到達目標

分類		分野	学習内容	学習内容の到達目標	到達レベル	授業週
専門的能力	分野別の専門工学	電気・電子系分野	情報	整数、小数を2進数、10進数、16進数で表現できる。	2	前1
				基数が異なる数の間で相互に変換できる。	2	前1
				基本的な論理演算を行うことができる。	3	前2
				基本的な論理演算を組み合わせで任意の論理関数を論理式として表現できる。	3	前2
				MIL記号またはJIS記号を使って図示された組み合わせ論理回路を論理式で表現できる。	3	前3
				論理式から真理値表を作ることができる。	3	前3
				論理式をMIL記号またはJIS記号を使って図示できる。	3	前3
		情報系分野	計算機工学	フリップフロップなどの順序回路の基本素子について、その動作と特性を説明することができる。	2	前3,前4,前5,前6,前8,前9,前10,前11,前14
				レジスタやカウンタなどの基本的な順序回路の動作について説明できる。	2	前5,前6,前7,前9,前10,前11,前14
				与えられた順序回路の機能を説明することができる。	2	前5,前6,前7,前9,前10,前11,前14
				順序回路を設計することができる。	2	前6,前9,前10,前12,前13
				ハードウェア記述言語など標準的な手法を用いてハードウェアの設計、検証を行うことができる。	1	後1,後2,後3,後4,後5,後6,後7,後8,後9,後10,後11,後12,後13,後14
	分野別の工学実験・実習能力	情報系分野【実験・実習能力】	情報系【実験・実習】	与えられた仕様に合致した組合せ論理回路や順序回路を設計できる。	3	前3,前4,前6,前7,前9,前10,前12,前13,前14,後5,後6,後7,後8,後9,後10,後11,後12,後13,後14

評価割合

	試験	発表	相互評価	態度	ポートフォリオ	その他	合計
総合評価割合	0	0	0	0	0	0	0
基礎的能力	0	0	0	0	0	0	0
専門的能力	0	0	0	0	0	0	0
分野横断的能力	0	0	0	0	0	0	0