

八戸工業高等専門学校		開講年度	令和03年度 (2021年度)		授業科目	知能ディジタル回路・設計 (2333)	
科目基礎情報							
科目番号	5E35		科目区分	専門 / 必修			
授業形態	講義		単位の種別と単位数	履修単位: 1			
開設学科	産業システム工学科電気情報工学コース		対象学年	5			
開設期	前期		週時間数	2			
教科書/教材	教員作成プリント						
担当教員	釜谷 博行,高際 雅之						
到達目標							
【授業の目標】 電気情報工学科の教育目標の1つは、デザインに関する専門知識を身に付け問題解決に応用できることである。本授業では、大規模集積回路の基本的設計開発手法の体得により、情報技術応用の実践的 基礎力と基礎工学力の育成を目標としている。このため、ソフトウェア的に回路設計が可能な言語の一つである VHDLと、作業現場ですぐに集積回路を実現可能な部品であるFPGA の組合せにより、知能ディジタル回路を階層的に設計・検証・動作テストを行う手法について、総合的に授業を行う。							
ルーブリック							
		理想的な到達レベルの目安		標準的な到達レベルの目安		未到達レベルの目安	
評価項目1		知能ディジタル回路を階層的に設計・検証・動作テストを理解し、実習で成功する。		大規模集積回路の基本的設計開発手法の体得により、情報技術応用の実践的 基礎力と基礎工学力を獲得した。		知能ディジタル回路を階層的に理解できていない。	
評価項目2							
評価項目3							
学科の到達目標項目との関係							
ディプロマポリシー DP3◎							
教育方法等							
概要		【開講学期】 春学期・夏学期 集中30時間 電気情報工学コースの教育目標の1つは、デザインに関する専門知識を身に付け問題解決に応用できることである。本授業では、大規模集積回路の基本的設計開発手法の体得により、情報技術応用の実践的 基礎力と基礎工学力の育成を目標としている。このため、ソフトウェア的に回路設計が可能な言語の一つである VHDLと、作業現場ですぐに集積回路を実現可能な部品であるFPGA の組合せにより、知能ディジタル回路を階層的に設計・検証・動作テストを行う手法について、総合的に授業を行う。 ※実務との関係 この科目は企業で知能ディジタル回路の開発設計を担当している教員が、その経験を活かし、FPGAについて演習形式で授業を行うものである。					
授業の進め方・方法		【授業概要・方針】 大規模集積回路では小規模な回路ブロックの階層的組合せによる設計開発手法がとられる。このため、知能ディジタル回路の設計にあたっては、VHDL による基本的設計手法とその階層的設計手法についてそれぞれ授業を行なう。応用例として、ストップウォッチの階層的設計を題材とし、FPGA への実装手法について具体的に学ぶ。 到達度試験80%、演習課題20%として評価を行い、総合評価は100点満点として、60点以上を合格とする。答案は採点後返却し、達成度を伝達する。					
注意点		【履修上の留意点】 授業では、例題としてストップウォッチとその基本構成要素を題材に説明を行なう。VHDL や FPGA 開発ツールの様々な機能の利用法については、授業時間以外にも各自試しながら学ぶ事が望ましい。					
授業の属性・履修上の区分							
☐ アクティブラーニング		☐ ICT 利用		☐ 遠隔授業対応		☒ 実務経験のある教員による授業	
授業計画							
		週	授業内容			週ごとの到達目標	
前期	1stQ	1週	ガイダンス、FPGA の構造とその目的 VHDLによる論理回路設計の流れ				
		2週	組合せ回路とVHDL同時処理文の基本 順序回路とVHDL順次処理文基本				
		3週	階層設計によるVHDLパッケージ呼出し 演習1				
		4週	演習2 演習3				
		5週	演習4 演習5				
		6週	演習6 演習7				
		7週	演習8 演習9				
		8週	到達度試験（答案返却とまとめ）				
	2ndQ	9週					
		10週					
		11週					
		12週					
		13週					
		14週					
		15週					
		16週					

モデルコアカリキュラムの学習内容と到達目標					
分類	分野	学習内容	学習内容の到達目標	到達レベル	授業週
評価割合					
		到達度試験	演習課題	合計	
総合評価割合		80	20	100	
基礎的能力		0	0	0	
専門的能力		80	20	100	
分野横断的能力		0	0	0	