

函館工業高等専門学校	開講年度	平成29年度(2017年度)	授業科目	論理設計
科目基礎情報				
科目番号	0382	科目区分	専門 / 選択	
授業形態	演習	単位の種別と単位数	学修単位: 2	
開設学科	生産システム工学科	対象学年	4	
開設期	前期	週時間数	2	
教科書/教材	論理回路 曽根将容 コロナ社/入門Verilog-HDL記述 小林 優 CQ出版社			
担当教員	高橋 直樹			

到達目標

- 1.HDLを用いた設計の利点を理解し、論理設計に活用できる
- 2.各種組み合わせ論理回路をHDLで記述できる
- 3.各種順序回路をHDLで記述できる

ルーブリック

	理想的な到達レベルの目安	標準的な到達レベルの目安	未到達レベルの目安
HDL	HDLを用いて論理設計ができる	HDLを用いる利点が説明できる	HDLを用いる利点が説明できない
組み合わせ論理回路	要求を分析し、組み合わせ論理回路をHDLで設計できる	カルノー図等から組み合わせ論理をHDLで記述できる	組み合わせ論理回路が設計できない
順序回路	要求を分析し、順序回路をHDLで設計できる	カルノー図等から順序回路をHDLで記述できる	順序回路が設計できない
CPU	CPUの内部動作を理解し、HDLを用いてCPUの設計ができる	CPUの内部動作が理解ができる	CPUの内部動作が理解できない

学科の到達目標項目との関係

教育方法等

概要	HDL(ハードウェア記述言語)の基本について学習する。第3学年で学習した論理回路を基礎として、具体的なデジタル回路(組み合わせ論理や順序回路)の設計法をハードウェア・ソフトウェアそれぞれの観点から学び、HDLにおける設計法の基礎的知識を習得する。
授業の進め方・方法	必要とされる予備知識: 第3学年で学習した論理回路が基礎となる。各種組み合わせ論理回路や順序回路について十分に理解し、説明、設計できることが要求される。 関連科目: 論理回路、情報工学実験Ⅳ等 評価の方法・定期試験の方法: 中間試験40%、期末試験40%、課題20%で合計する。 学習上の留意点: 情報工学実験等を勘案し、HDL開発環境(コンパイラ、シミュレータ)等は現在検討中である。
注意点	JABEE教育到達目標評価: 試験80% (B-3), 課題20% (B-3)

授業計画

	週	授業内容	週ごとの到達目標
前期	1週	ガイダンス 論理回路復習	科目的位置付、必要性、到達目標、留意点が理解できる 基本的な組み合わせ論理回路が説明できる
	2週	HDLとデジタル回路 論理回路復習	HDLを用いた論理設計の利点について説明できる 同期式カウンタが設計できる 論理合成が説明できる
	3週	HDLとデジタル回路	HDLを用いた論理設計の利点について説明できる 論理合成が説明できる
	4週	Verilog-HDL基礎	Verilog-HDLの記述スタイル、シミュレーション記法が説明できる 開発ツールを用いて簡単な論理回路を作ることができる
	5週	組み合わせ論理回路のHDL記述	Verilog-HDLで各種組み合わせ論理回路が記述できる 開発ツールを用いて簡単な論理回路を作ることができる
	6週	組み合わせ論理回路のHDL記述	Verilog-HDLで各種組み合わせ論理回路が記述できる
	7週	順序回路のHDL記述	Verilog-HDLで順序回路(同期カウンタ)が記述できる
	8週	中間試験	
2ndQ	9週	モジュールのインスタンス化	Verilog-HDLにおける階層設計法を説明できる
	10週	ステートマシンの設計	Verilog-HDLでステートマシンが記述できる
	11週	CPUの設計	オリジナルCPUについてマシン語が設計できる
	12週	CPUの設計	Verilog-HDLでオリジナルCPUの内部構造が記述できる
	13週	CPUの設計	オリジナルCPUを用いて簡単なプログラムを実行できる
	14週	CPUの設計	オリジナルCPUの内部動作が説明できる
	15週	期末試験	
	16週	答案返却・解答解説	・間違った箇所を理解できる。

モデルコアカリキュラムの学習内容と到達目標

分類	分野	学習内容	学習内容の到達目標	到達レベル	授業週
----	----	------	-----------	-------	-----

評価割合

	試験	発表	相互評価	態度	ポートフォリオ	課題	合計
総合評価割合	80	0	0	0	0	20	100
基礎的能力	40	0	0	0	0	20	60
専門的能力	40	0	0	0	0	0	40
分野横断的能力	0	0	0	0	0	0	0