

茨城工業高等専門学校		開講年度	令和03年度 (2021年度)	授業科目	論理回路Ⅱ
科目基礎情報					
科目番号	0040		科目区分	専門 / 必修	
授業形態	講義		単位の種別と単位数	履修単位: 2	
開設学科	国際創造工学科 情報系		対象学年	3	
開設期	通年		週時間数	2	
教科書/教材	高橋 寛著「論理回路ノート」(コロナ)、必要に応じてプリントを配布				
担当教員	丸山 智章				
到達目標					
1. 同期式順序回路の設計手法理解し適用できる。 2. 論理回路の故障およびそのテスト方法を理解し適用できる。 3. ハードウェア記述言語 (HDL)によるデジタル回路の設計手法を理解し適用できる。					
ルーブリック					
	理想的な到達レベルの目安		標準的な到達レベルの目安		未到達レベルの目安
評価項目1	同期式順序回路の設計手法を理解し適用できる。		同期式順序回路の設計手法を理解し設計できる。		同期式順序回路の設計手法を理解していない。
評価項目2	論理回路の故障およびそのテスト方法について理解し適用できる。		論理回路の故障およびそのテスト方法について理解している。		論理回路の故障およびそのテスト方法について理解していない。
評価項目3	ハードウェア記述言語 (HDL)によるデジタル回路の設計手法を理解し適用できる。		ハードウェア記述言語 (HDL)によるデジタル回路の設計手法を理解し設計できる。		ハードウェア記述言語 (HDL)によるデジタル回路の設計手法を理解していない。
学科の到達目標項目との関係					
学習・教育到達度目標 (A)					
教育方法等					
概要	同期式順序回路、カウンタ、レジスタ及びシフトレジスタについて学ぶ。回路の故障とテスト方法について学ぶ。ハードウェア記述言語 (HDL)によるデジタル回路の設計手法の基本について学ぶ。				
授業の進め方・方法	授業は通常の講義形式で行う。課題レポートを提出する。				
注意点	本科目は、2年次の論理回路Ⅰで学んだ組合せ論理回路及び順序回路の設計手法を習得していることが前提であるので、これらを十分復習しておくこと。				
授業の属性・履修上の区分					
<input type="checkbox"/> アクティブラーニング		<input checked="" type="checkbox"/> ICT 利用		<input type="checkbox"/> 遠隔授業対応	
<input type="checkbox"/> 実務経験のある教員による授業					
授業計画					
		週	授業内容	週ごとの到達目標	
前期	1stQ	1週	論理回路の故障診断 (1)	論理素子のハザードについて理解する。	
		2週	論理回路の故障診断 (2)	論理素子の故障診断、論理回路の故障診断について理解する。	
		3週	多様な論理回路 (1)	閾値回路について理解する。	
		4週	多様な論理回路 (2)	多値論理回路について理解する。	
		5週	多様な論理回路 (3)	フェイルセーフ論理回路について理解する。	
		6週	多様な論理回路 (4)	ファジイ論理回路について理解する。	
		7週	(中間試験)		
		8週	FPGAの基礎	FPGAの概要について理解する。	
	2ndQ	9週	HDLとシミュレータ	HDLの概要及びHDLによる論理回路の設計手順を理解する。	
		10週	Verilog HDLの導入	Verilog HDLを利用するための開発環境について理解する。	
		11週	Verilog HDLの基本文法 (1)	値の表現と代入、各種演算子について理解する。	
		12週	Verilog HDLの基本文法 (2)	回路記述における基本的な表現について理解する。	
		13週	HDLによる組合せ回路 (1)	演算回路のHDL記法を理解する。	
		14週	HDLによる組合せ回路 (2)	マルチプレクサ及びエンコーダのHDL記法を理解する。	
		15週	(期末試験)		
		16週	総復習		
後期	3rdQ	1週	HDLによるテスト (1)	テストベンチ記述手法を理解する。	
		2週	HDLによるテスト (2)	テスト・パターン作成と検証を理解する。	
		3週	HDLによる順序回路 (1)	フリップフロップのHDL記法を理解する。	
		4週	HDLによる順序回路 (2)	FSM, 自動販売機の論理設計のHDL記法を理解する。	
		5週	HDLによる順序回路 (3)	カウンタのHDL記法を理解する。	
		6週	HDLによる順序回路 (4)	シフトレジスタのHDL記法を理解する。	
		7週	(中間試験)		
		8週	HDLによる応用回路の設計 (1)	演習中心の設計	
	4thQ	9週	HDLによる応用回路の設計 (2)	演習中心の設計	
		10週	HDLによる応用回路の設計 (3)	演習中心の設計	
		11週	HDLによる応用回路の設計 (4)	演習中心の設計	
		12週	HDLによる応用回路の設計 (5)	演習中心の設計	

	13週	HDLによる応用回路の設計（6）	演習中心の設計
	14週	HDLによる応用回路の設計（7）	演習中心の設計
	15週	（期末試験）	
	16週	総復習	

評価割合

	試験	課題	合計
総合評価割合	60	40	100
基礎的能力	0	0	0
専門的能力	60	40	100
分野横断的能力	0	0	0