

小山工業高等専門学校		開講年度	令和02年度 (2020年度)	授業科目	集積回路設計
科目基礎情報					
科目番号	0121		科目区分	専門 / 選択	
授業形態	講義		単位の種別と単位数	学修単位: 2	
開設学科	電気電子創造工学科		対象学年	5	
開設期	後期		週時間数	2	
教科書/教材	小林 優「Design Wave Basic 改訂 入門Verilog HDL記述」CQ出版(2004).				
担当教員	今成 一雄				
到達目標					
1. Verilog HDL の文法を説明できる。 2. Verilog HDL で記述された回路の動作（記述内容）を説明できる。 3. Verilog HDL で論理回路を設計できる。					
ルーブリック					
	理想的な到達レベルの目安		標準的な到達レベルの目安		未到達レベルの目安
Verilog HDL の文法	Verilog HDL の文法について明確に説明でき、これに関する演習問題を正確に解くことができる。		Verilog HDL の文法について説明でき、これに関する演習問題を解くことができる。		Verilog HDL の文法について明確に説明できず、これに関する演習問題を正確に解くことができない。
回路の動作（記述内容）の説明	回路の動作（記述内容）について明確に説明でき、これに関する演習問題を正確に解くことができる。		回路の動作（記述内容）について説明でき、これに関する演習問題を解くことができる。		回路の動作（記述内容）について明確に説明できず、これに関する演習問題を正確に解くことができない。
論理回路（CPUなど）の設計	論理回路の設計について明確に説明でき、これに関する演習問題を正確に解くことができる。		論理回路の設計について説明でき、これに関する演習問題を解くことができる。		論理回路の設計について明確に説明できず、これに関する演習問題を正確に解くことができない。
学科の到達目標項目との関係					
学習・教育到達度目標 ④ JABEE (A)					
教育方法等					
概要	Verilog HDL の文法から基本回路の記述方法までと実用回路への応用を学ぶ。 講義はスライド資料による教授で行う。				
授業の進め方・方法	1. 授業方法は、講義と演習とを組み合わせで行う。 2. この科目は学修単位のため、事前・事後学習として授業内容に合わせた演習問題を課題として出題し、解答の提出を求める。				
注意点	・授業内容は、4年次開講の デジタル回路 を修得している前提で構成されている。 ・C言語の基本的な知識とプログラミング能力を有していることが求められる。 ・2/3以上の自学自習レポート（事前・事後学習成果）の提出を必須とする。各テーマについては、授業内容・方法に記載する。				
授業計画					
		週	授業内容	週ごとの到達目標	
後期	3rdQ	1週	ガイダンス 1. デジタル回路設計事始め （レジメを要約して、報告書にまとめ、次回までに提出する。）	ソフトウェアによるハードウェアの設計の概念と基礎を理解する	
		2週	2. Verilog-HDL 基本文法 1 （レジメを要約して、報告書にまとめ、次回までに提出する。）	Verilog HDL の基本文法を理解する。	
		3週	3. Verilog-HDL 基本文法 2 シミュレータの取扱い （レジメを要約して、報告書にまとめ、次回までに提出する。）	Verilog HDL の基本文法とシミュレータの操作方法を理解する。	
		4週	4. 回路記述 組合せ回路編 1 （授業で説明された回路記述をシミュレーション実習、動作を確認し、その結果を報告書にまとめて次回授業の開始前までに提出する。）	Verilog HDL による組合せ回路の記述を文法とシミュレーションとから理解する。	
		5週	5. 回路記述 組合せ回路編 2 （授業で説明された回路記述をシミュレーション実習、動作を確認し、その結果を報告書にまとめて次回授業の開始前までに提出する。）	Verilog HDL による組合せ回路の記述文法とシミュレーションとから理解する。	
		6週	6. 回路記述 組合せ回路編 3 （授業で説明された回路記述をシミュレーション実習、動作を確認し、その結果を報告書にまとめて次回授業の開始前までに提出する。）	Verilog HDL による組合せ回路の記述を文法とシミュレーションとから理解する。	
		7週	7. 回路記述 順序回路編 1 各種FF （授業で説明された回路記述をシミュレーション実習、動作を確認し、その結果を報告書にまとめて次回授業の開始前までに提出する。）	Verilog HDL による順序回路の記述を文法とシミュレーションとから理解する。	
		8週	中間試験 （試験勉強を事前・事後学習に代える）	これまでの範囲を理解する。	
	4thQ	9週	中間試験 解答と解説 8. 回路記述 順序回路編 2 同期・非同期回路（授業で説明された回路記述をシミュレーション実習、動作を確認し、その結果を報告書にまとめて次回授業の開始前までに提出する。）	中間試験問題を理解する。 Verilog HDL による順序回路の記述を文法とシミュレーションとから理解する。	
		10週	9. 回路記述 順序回路編 3 FSM （授業で説明された回路記述をシミュレーション実習、動作を確認し、その結果を報告書にまとめて次回授業の開始前までに提出する。）	Verilog HDL による順序回路の記述を文法とシミュレーションとから理解する。	

		11週	10. 回路記述 期末課題の説明と質疑応答 (事前・事後学習時間を課題の解答作成に充てる。結果は報告書にまとめて期限までに提出する。)	期末課題問題の解法指針を理解し、設計する。
		12週	11. 回路記述 応用・実用編 1 (授業で説明された回路記述をシミュレーション実習、動作を確認し、その結果を報告書にまとめて次回授業の開始前までに提出する。)	Verilog HDL による応用・実用回路の記述をシミュレーションから理解する。
		13週	12. 回路記述 応用・実用編 2 (授業で説明された回路記述をシミュレーション実習、動作を確認し、その結果を報告書にまとめて次回授業の開始前までに提出する。)	Verilog HDL による応用・実用回路の記述をシミュレーションから理解する。
		14週	13. 回路記述 質疑応答と演習 (事前・事後学習時間を課題の解答作成に充てる。結果は報告書にまとめて期限までに提出する。)	期末課題問題に関する質疑応答を通して解法・問題点を理解する。
		15週	14. 回路記述 質疑応答と演習 (事前・事後学習時間を課題の解答作成に充てる。結果は報告書にまとめて期限までに提出する。)	期末課題問題に関する質疑応答を通して問題点を理解し、成果を取りまとめる。
		16週	期末課題の提出 (定期試験)	期末課題を通して、これまでの学習内容を理解する。

モデルコアカリキュラムの学習内容と到達目標

分類		分野	学習内容	学習内容の到達目標	到達レベル	授業週
専門的能力	分野別の専門工学	情報系分野	計算機工学	ハードウェア記述言語など標準的な手法を用いてハードウェアの設計、検証を行うことができる。	4	後4,後5,後6,後7,後8,後9,後10,後11,後12,後13,後14,後15,後16

評価割合

	中間試験	発表	相互評価	態度	ポートフォリオ	期末課題	課題	合計
総合評価割合	35	0	0	0	0	35	30	100
基礎的能力	0	0	0	0	0	0	0	0
専門的能力	35	0	0	0	0	35	30	100
分野横断的能力	0	0	0	0	0	0	0	0