

群馬工業高等専門学校	開講年度	令和02年度 (2020年度)	授業科目	計算機設計 I
科目基礎情報				
科目番号	5J015	科目区分	専門 / 選択	
授業形態	授業	単位の種別と単位数	履修単位: 1	
開設学科	電子情報工学科	対象学年	5	
開設期	前期	週時間数	2	
教科書/教材	わかるVerilog HDL入門：木村真也，コンピュータの原理と設計：木村真也・鹿股昭雄，「L S I 工学I, II」講義ノート，・Veritak (Verilogシミュレータ)，論理回路実習システム			
担当教員	木村 真也			
到達目標				
1ハードウェア記述言語「Verilog HDL」を用いた論理回路設計として，組み合わせ回路記述，順序回路記述，レジスタ・トランスファ・ロジック記述をマスタすること。 2シミュレータによる設計検証に必要な記述ができること。 3論理合成を行い，プログラマブル・ロジック・デバイスによる実装手法を習得すること。				
ルーブリック				
	理想的な到達レベルの目安	標準的な到達レベルの目安	未到達レベルの目安	
評価項目1	ハードウェア記述言語「Verilog HDL」を用いた論理回路設計として，組み合わせ回路記述，順序回路記述，レジスタ・トランスファ・ロジック記述が十分にできる	ハードウェア記述言語「Verilog HDL」を用いた論理回路設計として，組み合わせ回路記述，順序回路記述，レジスタ・トランスファ・ロジック記述ができる	ハードウェア記述言語「Verilog HDL」を用いた論理回路設計として，組み合わせ回路記述，順序回路記述，レジスタ・トランスファ・ロジック記述ができない	
評価項目2	シミュレータによる設計検証に必要な記述が十分にできる	シミュレータによる設計検証に必要な記述ができる	シミュレータによる設計検証に必要な記述ができない	
評価項目3	論理合成を行い，プログラマブル・ロジック・デバイスによる実装が十分にできる	論理合成を行い，プログラマブル・ロジック・デバイスによる実装ができる	論理合成を行い，プログラマブル・ロジック・デバイスによる実装ができない	
学科の到達目標項目との関係				
教育方法等				
概要	Verilog HDLの文法事項全般，階層構成の記述，高度なテスト・ベンチの記述，拡張状態遷移記述によるレジスタ・トランスファ・ロジック記述の手法を解説する。 この科目は企業でマイクロプロセッサのアーキテクチャ設計，ロジック設計を担当していた教員が，その経験を活かし，デジタル回路の設計手法等について，講義と関連実習を交互に取り入れたスパイラル形式で実践教育を行うものである。			
授業の進め方・方法	講義はkeynoteのスライドで行う。スライドは印刷資料を事前に配布するが，要所を抜いてあるので，授業に集中し穴埋めを補充すること。 Verilog HDL記述と論理合成される回路の対応を具合例を示して解説する。合わせて同等の機能を種々のスタイルで記述した例を示し，論理合成後の回路規模，動作速度の実例から記述方法の重要性を明らかにする。また，ソフトウェアにはない並列処理の考え方やおよび回路構成とその記述，ソフトウェアのハードウェア化について解説する。 授業は，講義と実習（シミュレーション，論理合成，配置配線，実装テスト）を段階毎に行いステップ・アップするスパイラル方式で進める。			
注意点	課題は自ら取り組むこと。 課題は，とばさずに順番に取り組むこと。 実習関連サイト： http://www.ice.gunma-ct.ac.jp/~kimsyn/subject/VLSIsys1/VLSIsys1.html			
授業計画				
		週	授業内容	週ごとの到達目標
前期	1stQ	1週	Verilog HDL記述の復習とシミュレータの操作	組み合わせ回路の記述(assign文，function)
		2週	記憶機能の記述	基本順序回路の記述(always文，ブロッキング代入，ノン・ブロッキング代入)
		3週	記憶機能の記述	テスト・ベンチ記述
		4週	記憶機能の記述	シミュレーション実習
		5週	記憶機能の記述	論理合成・配置配線実習 FPGA実装テスト
		6週	順序回路の記述	ミラー型/ムーア型の記述
		7週	順序回路の記述	シミュレーション実習
		8週	中間テスト	
	2ndQ	9週	順序回路の記述	論理合成・配置配線実習 FPGA実装テスト
		10週	拡張状態遷移記述	乗算アルゴリズム レジスタ・トランスファ・ロジック記述
		11週	拡張状態遷移記述	シミュレーション実習 論理合成・配置配線実習 FPGA実装テスト
		12週	複数シーケンサによる並列制御	並列制御の記述 シーケンサ間の同期の取り
		13週	システム設計から実装までの総合実習	シミュレーション実習 論理合成・配置配線実習 FPGA実装テスト
		14週	システム設計から実装までの総合実習	システム設計，機能分割，モジュール設計 シミュレーション実習 論理合成・配置配線実習 FPGA実装テスト
		15週	期末試験	
		16週	答案返却	
評価割合				

	試験	実習・レポート	合計
総合評価割合	50	50	100
基礎的能力	25	30	55
専門的能力	25	20	45