

群馬工業高等専門学校		開講年度	令和02年度 (2020年度)	授業科目	計算機設計 II
<b>科目基礎情報</b>					
科目番号	5J016		科目区分	専門 / 選択	
授業形態	授業		単位の種別と単位数	履修単位: 1	
開設学科	電子情報工学科		対象学年	5	
開設期	後期		週時間数	2	
教科書/教材	L S I 工学 (4 年次), 電子工学特論 I のノート, 授業関連サイト: <a href="http://www.ice.gunma-ct.ac.jp/~kimsyn/subject/JT3/JT3.html">http://www.ice.gunma-ct.ac.jp/~kimsyn/subject/JT3/JT3.html</a>				
担当教員	木村 真也				
<b>到達目標</b>					
1 マイクロプロセッサの設計を通して, Verilog HDLを用いた大規模論理回路の設計ができること. 2 Verilog HDLを用いた大規模論理回路のシミュレーションができること. 3 設計したマイクロプロセッサをFPGA上に実装して動作確認すること.					
<b>ループリック</b>					
	理想的な到達レベルの目安		標準的な到達レベルの目安		未到達レベルの目安
評価項目1	マイクロプロセッサの設計を通して, Verilog HDLを用いた大規模論理回路の設計が十分にできる		マイクロプロセッサの設計を通して, Verilog HDLを用いた大規模論理回路の設計ができる		マイクロプロセッサの設計を通して, Verilog HDLを用いた大規模論理回路の設計ができない
評価項目2	Verilog HDLを用いた大規模論理回路のシミュレーションが十分にできる		Verilog HDLを用いた大規模論理回路のシミュレーションができる		Verilog HDLを用いた大規模論理回路のシミュレーションができない
評価項目3	設計したマイクロプロセッサをFPGA上に実装して十分に動作確認できる		設計したマイクロプロセッサをFPGA上に実装して動作確認できる		設計したマイクロプロセッサをFPGA上に実装して動作確認できない
<b>学科の到達目標項目との関係</b>					
<b>教育方法等</b>					
概要	計算機設計IIは、「L S I 工学I」「L S I 工学II」「計算機設計I」の総合演習科目に位置する科目である。モデル・アーキテクチャ(命令セットのみ規定してあるモデルかP L / H仮想マシンのいずれかを選択)に対して, 各自が機能拡張や命令コード設定, レジスタ・トランスファ・ロジック設計等を行ない, ハードウェア記述言語Verilog HDLを使用して設計および検証を行い, フィールド・プログラマブル・ゲート・アレイ (FPGA) 上に実装を行う。この科目は企業でマイクロプロセッサのアーキテクチャ設計, ロジック設計を担当していた教員が, この経験を活かし, 実際にマイコンを設計・実装する実践教育を行うものである。				
授業の進め方・方法	命令セットを1～3に分け, 次に示す6段階に分けて設計・実装を進める。 ・ステップ0 CPUのアーキテクチャ仕様の決定。 ・ステップ1 命令セット1の範囲について, CPUとメモリを一体化した拡張状態遷移記述をVerilog HDLで作成し, シミュレーションにして設計検証する。 ・ステップ2 ステップ1で作成したVerilog HDL記述を元にCPU部とメモリ部を分離した記述を作成し, シミュレーションを行い, CPU部をFPGAで実装テストする。 ・ステップ3 命令セット2を加えたモデルを作成し, シミュレーションを行い, CPU部をFPGAで実装テストする。 ・ステップ4 命令セット3を加えたモデルを作成し, シミュレーションを行い, CPU部をFPGAで実装テストする。 ・ステップ5 データ・バス部と制御部を分離したモデルを作成し, シミュレーションを行い, CPU部をFPGAで実装テストする。 さらに時間があれば, 高速化を目指す(ステップ6)。				
注意点	設計作業には試行錯誤が伴うため, スケジュール通りに進むとは限らない。状況に応じて時間外に補う必要がある。授業関連サイト: <a href="http://www.ice.gunma-ct.ac.jp/~kimsyn/subject/JT3/JT3.html">http://www.ice.gunma-ct.ac.jp/~kimsyn/subject/JT3/JT3.html</a>				
<b>授業計画</b>					
		週	授業内容	週ごとの到達目標	
後期	3rdQ	1週	ステップ0	CPUのアーキテクチャ仕様の決定	
		2週	ステップ0	CPUのアーキテクチャ仕様の決定 メタ・アセンブラ用コード生成ルールの作成	
		3週	ステップ1	補助レジスタの検討と全命令のレジスタ・トランスファ・ロジックの設計	
		4週	ステップ1	補助レジスタの検討と全命令のレジスタ・トランスファ・ロジックの設計	
		5週	ステップ1	命令セット1について, CPU・メモリー一体化モデルの拡張状態遷移記述をVerilog HDLで作成	
		6週	ステップ1	命令セット1について, CPU・メモリー一体化モデルの拡張状態遷移記述をVerilog HDLで作成	
		7週	ステップ1	命令セット1の範囲について, CPUとメモリを一命令セット1について, CPU・メモリー一体化モデルの拡張状態遷移記述をVerilog HDLで作成化した拡張状態遷移記述をVerilog HDLで作成	
		8週	ステップ1	CPU・メモリー一体化モデルのシミュレーションによる検証	
	4thQ	9週	ステップ1	CPU・メモリー一体化モデルのシミュレーションによる検証	
		10週	ステップ2	CPU部・メモリ部の分離モデルの作成 シミュレーションによるCPU部の設計検証	
		11週	ステップ2	CPU・メモリー一体化モデルのFPGA実装と動作テスト	
		12週	ステップ2	CPU・メモリー一体化モデルのFPGA実装と動作テスト	
		13週	ステップ3～6	ステップ3～6の作業	
		14週	ステップ3～6	ステップ3～6の作業	
		15週	ステップ3～6	ステップ3～6の作業	
		16週	ステップ3～6	ステップ3～6の作業	

評価割合			
	設計検証実装	レポート	合計
総合評価割合	84	16	100
ステップ2	60	10	70
ステップ3	8	2	10
ステップ4	8	2	10
ステップ5	4	1	5
ステップ6	4	1	5