

群馬工業高等専門学校		開講年度	令和04年度 (2022年度)		授業科目	LSI工学Ⅱ	
科目基礎情報							
科目番号		4J022		科目区分	専門 / 選択		
授業形態		授業		単位の種別と単位数	履修単位: 1		
開設学科		電子情報工学科		対象学年	4		
開設期		後期		週時間数	2		
教科書/教材		コンピュータの原理と設計：木村真也・鹿股昭雄，わかるVerilog HDL入門：木村真也，自作教材：講義用keynoteスライド印刷物（配布），Veritak (Verilogシミュレータ)，論理回路実習システム					
担当教員		木村 真也					
到達目標							
1 CPUの動作と内部構造を理解し，説明できること。 2 制御構造の簡単なCPUの設計ができる程度の知識・能力を習得すること。 3 大規模なデジタル・システムの構成方法を自ら設計できる知識・能力を習得すること。 4 ハードウェア記述言語の概略を習得し，組み合わせ回路を記述することができること。 □CPUの動作と内部構造を理解し，十分に説明できる MCC □制御構造の簡単なCPUの設計が十分にできる □大規模なデジタル・システムの設計が十分にできる □ハードウェア記述言語について組み合わせ回路を十分に記述できる MCC							
ルーブリック							
		理想的な到達レベルの目安		標準的な到達レベルの目安		未到達レベルの目安	
評価項目1		CPUの動作と内部構造を理解し，十分に説明できる		CPUの動作と内部構造を理解し，説明できる		CPUの動作と内部構造を理解・説明できない	
評価項目2		制御構造の簡単なCPUの設計が十分にできる		制御構造の簡単なCPUの設計ができる		制御構造の簡単なCPUの設計ができない	
評価項目3		大規模なデジタル・システムの設計が十分にできる		大規模なデジタル・システムの設計ができる		大規模なデジタル・システムの設計ができない	
評価項目4		ハードウェア記述言語について組み合わせ回路を十分に記述できる		ハードウェア記述言語について組み合わせ回路を記述できる		ハードウェア記述言語について組み合わせ回路を記述できない	
学科の到達目標項目との関係							
教育方法等							
概要		「LSI工学I」に続き，デジタル・システムの構成方法について，モデル化の方法，基本回路構成，設計手法について解説する。 この科目は企業でマイクロプロセッサのアーキテクチャ設計，ロジック設計を担当していた教員が，その経験を活かし，デジタル回路の設計手法等について実践教育を行うものである					
授業の進め方・方法		講義はkeynoteのスライドで行う。スライドは印刷資料を事前に配布するが，要所を抜いてあるので，授業に集中し穴埋めを補充すること。 具体例として実験装置として実在するコンピュータ（C D E C）を取り上げ，内部の構成と動作原理を解説する。合わせて，C D E Cのアーキテクチャから実際の論理回路に至るまでの設計方法を具体的に示す。 また，最新の設計手法であるハードウェア記述言語として，Verilog HDLを解説する。さらにシミュレータおよび論理回路実習ボードを利用した実習も行う。 この講義は引き続き「情報工学特論Ⅱ」を受講する際の前提になる講義である					
注意点		・授業に集中し，重要事項を配布プリントに記載すること。 ・課題は自ら取り組むこと。 ・自宅のパソコンに開発環境をインストールすれば，ネットワーク経由で回路の実装テストが可能である。 【URLアドレス】 実習関連情報：http://www.ice.gunma-ct.ac.jp/~kimsyn/subject/LSI2/LSI2.html Verilog HDLスライド：http://www.ice.gunma-ct.ac.jp/~kimsyn/verilog_web/VerilogWEB.files/frame.htm					
授業の属性・履修上の区分							
□ アクティブラーニング		☑ ICT 利用		☑ 遠隔授業対応		☑ 実務経験のある教員による授業	
授業計画							
		週	授業内容		週ごとの到達目標		
後期	3rdQ	1週	コンピュータの設計と実現		レジスタ・セットと命令セット		
		2週	コンピュータの設計と実現		バス構成		
		3週	コンピュータの設計と実現		レジスタ・トランスファ・ロジック		
		4週	中間試験1				
		5週	コンピュータの設計と実現		制御信号		
		6週	コンピュータの設計と実現		P L A 制御		
		7週	コンピュータの設計と実現		割込み機能		
		8週	中間試験2				
	4thQ	9週	Verilog HDLの基礎		文法基礎		
		10週	Verilog HDLの基礎		assign文による組み合わせ回路の記述・		
		11週	Verilog HDLの基礎		functionによる組み合わせ回路の記述		
		12週	Verilog HDLの基礎		functionによる組み合わせ回路の記述		
		13週	Verilog HDLの基礎		実習：7セグメントLEDデコーダ		
		14週	Verilog HDLの基礎		実習：乗算回路		
		15週	期末試験				
		16週	答案返却				
評価割合							
		試験		課題・実習レポート		合計	
総合評価割合		80		20		100	

基礎的能力	40	10	50
40	40	10	50