

石川工業高等専門学校		開講年度	令和04年度 (2022年度)	授業科目	ハードウェア設計工学
科目基礎情報					
科目番号	20327		科目区分	専門 / 必修	
授業形態	講義		単位の種別と単位数	履修単位: 2	
開設学科	電子情報工学科		対象学年	3	
開設期	通年		週時間数	2	
教科書/教材	前期: 伊原充博 他「デジタル回路」(コロナ社), 後期: 特に教科書は指定しない。随時, 資料を配布する。				
担当教員	松本 剛史				
到達目標					
<ol style="list-style-type: none"> 1. 各種フリップフロップの回路図、状態遷移表、励起表を説明できる。 2. 非同期式および同期式カウンタの動作を説明できる。 3. 非同期式および同期式カウンタを設計できる。 4. 有限状態機械を用いて順序回路を設計できる。 5. FPGAやASICによるシステム実装の仕組みを説明できる。 6. 集積回路設計フローが理解できる。 7. 論理合成可能なHDL記述ができる。 8. 論理合成の制約条件を設定できる。 9. 論理シミュレーションによる動作検証ができる。 					
ルーブリック					
	理想的な到達レベルの目安	標準的な到達レベルの目安	未到達レベルの目安		
到達目標 項目1	各種フリップフロップの動作や回路構成に関する応用的な問題を解くことができる。	各種フリップフロップの動作や回路構成に関する基本的な問題を解くことができる。	各種フリップフロップの動作や回路構成に関する問題を解くことができない。		
到達目標 項目2, 3, 4	応用的な順序回路について、その動作を説明でき、設計ができる。	基本的な順序回路について、その動作を説明でき、設計ができる。	順序回路について、その動作を説明できず、設計ができない。		
到達目標 項目5, 6, 7, 8, 9	専用回路の設計フローを理解し、与えられた仕様を満たす回路を設計することができる。	専用回路の設計フローを理解し、基本的な回路を設計できる。	専用回路の設計フローを理解しておらず、基本的な回路の設計ができない。		
学科の到達目標項目との関係					
本科学習目標 1 本科学習目標 2					
教育方法等					
概要	2年次「デジタル回路」では、ANDやORなどの論理素子を組み合わせで作られる組合せ回路について学習した。本科目では、まず、回路内で値を覚えておくことのできるフリップフロップを含む回路(順序回路)について、その動作原理と設計法について学習し、代表的な順序回路の動作を説明できる能力を身につけるとともに、簡単な順序回路の設計問題を解くことができるようになることを目指す。続いて、より実践的なデジタル回路設計のため、システムにおける専用ハードウェアの役割に加え、ハードウェア記述言語を用いた設計方法について学ぶ。FPGAと呼ばれるプログラム可能なハードウェアへの実装を通して、設計した回路の動作検証を行い、実践的な回路を設計する能力を身につける。以上を通して、技術者として必要な基礎学力と専門的知識を身につけるとともに、意欲的・実践的に、ものづくりや課題の解決に最後まで取り組むことができるようになることを目指す。				
授業の進め方・方法	<p>前期は、教室で授業を行い、講義と課題演習を通して、順序回路設計に必要な知識の定着と具体的な設計の問題を解決できるようにする。後期は、演習室で設計演習が主となる授業を行い、より実用的な回路設計手法について実践を通して学ぶ。</p> <p>【事前事後学習など】 授業内容の理解を深めるため、課題(前期は問題演習、後期は設計演習)を課す。 【関連科目】 電子情報工学基礎Ⅰ・Ⅱ、コンピュータアーキテクチャ、デジタル回路、システム設計演習 【MCC対応】V-D-3 計算機工学、VI-D 情報系分野(実験・実習能力)</p>				
注意点	<p>前期: 問題演習を課すので、自らの手で問題を解くことを通して、学習内容の定着に努めること。教科書を使用するが、学習内容に応じて、解説のためにプリントを配布する。 後期: 主に、回路の設計と動作確認を行う実習形式で授業を進める。設計課題を課す。</p> <p>【評価方法・評価基準】 前期中間試験、前期末試験、後期中間試験、学年末試験、課題を実施する。成績の評価基準として50点以上を合格とする。 前期評価: 前期中間試験(40%)、前期末試験(40%)、問題演習(20%) 後期評価: 後期中間試験(30%)、学年末試験(30%)、問題演習(40%) 学年末評価: 前期評価(50%)、後期評価(50%)</p>				
テスト					
授業の属性・履修上の区分					
<input type="checkbox"/> アクティブラーニング		<input type="checkbox"/> ICT 利用		<input checked="" type="checkbox"/> 遠隔授業対応	
<input type="checkbox"/> 実務経験のある教員による授業					
授業計画					
	週	授業内容	週ごとの到達目標		
前期	1stQ	1週	フリップフロップ(1) RS-FF	各種フリップフロップの回路図、状態遷移表、励起表を説明できる。	
		2週	フリップフロップ(2) JK-FF	各種フリップフロップの回路図、状態遷移表、励起表を説明できる。	
		3週	フリップフロップ(3) D-FF・T-FF	各種フリップフロップの回路図、状態遷移表、励起表を説明できる。	
		4週	フリップフロップ(4) マスター・スレーブ型とエッジトリガ型	各種フリップフロップの回路図、状態遷移表、励起表を説明できる。	
		5週	フリップフロップ(5) フリップフロップの変換	各種フリップフロップの回路図、状態遷移表、励起表を説明できる。	
		6週	レジスタ	非同期式および同期式カウンタの動作を説明できる。	
		7週	非同期式カウンタ	非同期式および同期式カウンタの動作を説明できる。非同期式および同期式カウンタを設計できる。	

後期	2ndQ	8週	同期式カウンタ	非同期式および同期式カウンタの動作を説明できる。
		9週	同期式カウンタ設計法（1）	非同期式および同期式カウンタを設計できる。
		10週	同期式カウンタ設計法（2）	非同期式および同期式カウンタを設計できる。
		11週	その他のカウンタ	非同期式および同期式カウンタの動作を説明できる。
		12週	有限状態機械	有限状態機械を用いて順序回路を設計できる。
		13週	順序回路設計法（1）	有限状態機械を用いて順序回路を設計できる。
		14週	順序回路設計法（2）	有限状態機械を用いて順序回路を設計できる。
		15週	前期復習	
	16週			
	3rdQ	1週	システムにおける専用ハードウェアの役割・HDL概要	HDLを用いた設計フローを説明できる。
		2週	組み合わせ論理回路のHDL記述	HDLを用いて組み合わせ回路を設計できる。
		3週	実習（1）（組み合わせ論理回路）	HDLを用いて組み合わせ回路を設計できる。
		4週	実習（2）（回路シミュレーション）	HDLを用いて記述された回路のシミュレーションができる。
		5週	順序回路のHDL記述	HDLを用いて順序回路を設計できる。
		6週	実習（3）（カウンタ）	HDLを用いて順序回路を設計できる。
		7週	実習（4）（分周回路）	HDLを用いて順序回路を設計できる。
8週		順序回路・有限状態機械のHDL記述	HDLを用いて有限状態機械を設計できる。	
4thQ	9週	実習（5）（スタートマシン1）	HDLを用いて有限状態機械を設計できる。	
	10週	実習（6）（スタートマシン2）	HDLを用いて有限状態機械を設計できる。	
	11週	FPGAとその設計フロー	FPGA設計フローを説明できる。	
	12週	実習（7）（FPGA設計演習1）	回路をFPGA上に実装し、動かすことができる。	
	13週	実習（7）（FPGA設計演習2）	回路をFPGA上に実装し、動かすことができる。	
	14週	実習（7）（FPGA設計演習3）	回路をFPGA上に実装し、動かすことができる。	
	15週	後期復習		
	16週			

モデルコアカリキュラムの学習内容と到達目標

分類	分野	学習内容	学習内容の到達目標	到達レベル	授業週
専門的能力	分野別の専門工学	情報系分野 計算機工学	フリップフロップなどの順序回路の基本素子について、その動作と特性を説明することができる。	4	
			レジスタやカウンタなどの基本的な順序回路の動作について説明できる。	4	
			与えられた順序回路の機能を説明することができる。	4	
			順序回路を設計することができる。	4	
	ハードウェア記述言語など標準的な手法を用いてハードウェアの設計、検証を行うことができる。	4			
	分野別の工学実験・実習能力	情報系分野【実験・実習能力】	情報系【実験・実習】	与えられた仕様に合致した組合せ論理回路や順序回路を設計できる。	4

評価割合

	試験	課題	合計
総合評価割合	70	30	100
基礎的能力	0	0	0
専門的能力	70	30	100
分野横断的能力	0	0	0