

福井工業高等専門学校		開講年度	平成31年度 (2019年度)	授業科目	計算機アーキテクチャ
科目基礎情報					
科目番号	0146	科目区分	専門 / 選択		
授業形態	講義	単位の種別と単位数	履修単位: 1		
開設学科	電子情報工学科	対象学年	5		
開設期	前期	週時間数	2		
教科書/教材	必要な資料は毎回コピーを配布する				
担当教員	青山 義弘				
目的・到達目標					
(1) コンピュータが計算する仕組みをゲートのレベルから構成法であるアーキテクチャまで理解すること					
ルーブリック					
	理想的な到達レベルの目安	標準的な到達レベルの目安	未到達レベルの目安		
	システムの設計の定量化の理解し、よりよい機能、性能、コストに関し提案できる	定量化に関する手法を説明できる	システムの、機能、性能、コストの関係を説明できない		
	システムの高速化を定量的に示し、提案できる	メモリシステム、I/O、CPUにおける高速化を説明できる	高性能化の手法を説明でき無い		
	HDLによる複雑な論理回路設計ができる	HDLによる簡単な論理回路設計ができる	HDLによるハードウェア記述ができない		
学科の到達目標項目との関係					
学習・教育到達度目標 RB2 JABEE JB3					
教育方法等					
概要	コンピュータの評価の定量化の方法と、高性能化手法を学び、その設計を行うための現在主流の設計方法を学ぶ。				
授業の進め方と授業内容・方法	計算機、特にデジタル電子計算機について、その構成法と動作をアーキテクチャの観点から理解するとともに、計算機を構成する要素を回路のレベルから動作を理解し、目的に適した構成方法を自ら選択し設計する方法を修得する。				
注意点	<p>本科目は履修単位科目である。本科目は企業で計算機の企画、設計を担当していた教員が、その経験を活かし、計算機の設計手法等について講義及び演習の形式で授業を行う。</p> <p>授業においては、座学を中心とし、計算機アーキテクチャに関する講義とHDL演習を行なう。</p> <p>本科(準学士課程)の学習教育目標: RB2(◎) 環境生産システム工学プログラムの学習教育目標: JB3 (◎) 関連科目: 計算機構成論Ⅰ、Ⅱ(本科3、4年)、計算機システム(生産システム工学専攻1年)</p> <p>学習教育目標の達成度評価方法: 授業内容に関する試験を40%、提出された演習課題を10%、HDL演習50%で評価する。合格点に満たない場合はそれまでに出された課題をすべて提出している学生に限り、課題の追加提出および再試験およびレポートを実施する。</p> <p>学習教育目標の達成度評価基準: 学年成績 60点以上</p>				
授業計画					
		週	授業内容・方法	週ごとの到達目標	
前期	1stQ	1週	シラバスの説明。コンピュータの評価の定量化	評価の定量化を理解する	
		2週	計算機の構成に関する基礎知識プロセッサの基本動作復習	定量化に基づくアーキテクチャを理解する	
		3週	計算性能	計算性能の定量化ができる	
		4週	パイプライン処理方式の特徴と設計方法	パイプライン処理の実現のためのハードウェア手法を理解する	
		5週	パイプライン処理方式並列処理	パイプラインとその他の高速化手法を理解する	
		6週	VLIW スーパスカラ処理	パイプラインとその他の高速化手法を理解する	
		7週	スーパスカラ処理	スーパスカラ処理の特徴を理解する	
		8週	中間学力確認		
	2ndQ	9週	解答とまとめ	HDLの必要性を理解する。VerilogHDLによる開発環境を構築できる	
		10週	VerilogHDL入門 組み合わせ論理回路	組み合わせ論理回路の設計方法を理解する	
		11週	VerilogHDL演習	組み合わせ論理回路の設計ができる	
		12週	VerilogHDL入門 順序論理回路	順序論理回路の設計方法を理解する	
		13週	VerilogHDL演習	順序論理回路の設計ができる	
		14週	VerilogHDL入門 システム設計	システムの設計方法を理解する	
		15週	VerilogHDL演習	システム設計ができる	
		16週	内容の復習		
評価割合					
	試験	レポート	HDL演習	合計	
総合評価割合	50	10	40	100	
基礎的能力	20	10	10	40	
専門的能力	30	0	30	60	
分野横断的能力	0	0	0	0	