

福井工業高等専門学校		開講年度	平成29年度 (2017年度)	授業科目	計算機アーキテクチャ	
科目基礎情報						
科目番号	0150	科目区分	専門 / 選択			
授業形態	講義	単位の種別と単位数	履修単位: 1			
開設学科	電子情報工学科	対象学年	5			
開設期	前期	週時間数	2			
教科書/教材	必要な資料は毎回コピーを配布する					
担当教員	青山 義弘					
到達目標						
(1) コンピュータが計算する仕組みをゲートのレベルから構成法であるアーキテクチャまで理解すること						
ルーブリック						
	理想的な到達レベルの目安	標準的な到達レベルの目安	未到達レベルの目安			
	システムの設計の定量化の理解し、よりよい機能、性能、コストに関し提案できる	定量化に関する手法を説明できる	システムの、機能、性能、コストの関係を説明できない			
	システムの高速度を定量的に示し、提案できる	メモリシステム、I/O、CPUにおける高速度を説明できる	高性能化の手法を説明でき無い			
	HDLによる複雑な論理回路設計ができる	HDLによる簡単な論理回路設計ができる	HDLによるハードウェア記述ができない			
学科の到達目標項目との関係						
学習・教育到達度目標 RA2						
教育方法等						
概要						
授業の進め方・方法	計算機、特にデジタル電子計算機について、その構成法と動作をアーキテクチャの観点から理解するとともに、計算機を構成する要素を回路のレベルから動作を理解し、目的に適した構成方法を自ら選択し設計する方法を修得する。					
注意点	本科目は学修単位科目である。従って、授業においては、座学を中心とし、計算機アーキテクチャに関する講義とHDL演習を行ない、さらに、授業外学修のための課題を課す。					
授業計画						
		週	授業内容	週ごとの到達目標		
前期	1stQ	1週	シラバスの説明。計算機の構成に関する基礎知識			
		2週	プロセッサの基本動作復習			
		3週	計算性能			
		4週	パイプライン処理方式の特徴と設計方法			
		5週	パイプライン処理方式 並列処理			
		6週	VLIW スーパスカラ処理			
		7週	スーパスカラ処理			
		8週	学力確認			
	2ndQ	9週	解答とまとめ	HDLの必要性を理解する。 VerilogHDLによる開発環境を構築できる		
		10週	VerilogHDL入門 組み合わせ論理回路	組み合わせ論理回路の設計方法を理解する		
		11週	VerilogHDL演習	組み合わせ論理回路の設計ができる		
		12週	VerilogHDL入門 順序論理回路	順序論理回路の設計方法を理解する		
		13週	VerilogHDL演習	順序論理回路の設計ができる		
		14週	VerilogHDL入門 システム設計	システムの設計方法を理解する		
		15週	VerilogHDL演習	システム設計ができる		
		16週	内容の復習			
モデルコアカリキュラムの学習内容及到達目標						
分類	分野	学習内容	学習内容の到達目標	到達レベル	授業週	
専門的能力	分野別の専門工学	情報系分野	計算機工学	ハードウェア記述言語など標準的な手法を用いてハードウェアの設計、検証を行うことができる。	4	
			コンピュータシステム	処理形態の面でのコンピュータシステムの分類である集中処理システムと分散処理システムについて、それぞれの特徴と代表的な例を説明できる。	4	
				ネットワークコンピューティングや組込みシステムなど、実用に供せられているコンピュータシステムの利用形態について説明できる。	4	
				デュアルシステムやマルチプロセッサシステムなど、コンピュータシステムの信頼性や機能を向上させるための代表的なシステム構成について説明できる。	4	
				システム設計には、要求される機能をハードウェアとソフトウェアでどのように実現するかなどの要求の振り分けやシステム構成の決定が含まれることを説明できる。	4	
				ユーザの要求に従ってシステム設計を行うプロセスを説明することができる。	4	
				プロジェクト管理の必要性について説明できる。	4	

評価割合			
	試験	レポート	合計
総合評価割合	50	50	100
基礎的能力	10	20	30
専門的能力	30	20	50
分野横断的能力	10	10	20