

長野工業高等専門学校		開講年度	平成30年度 (2018年度)		授業科目	集積回路設計
科目基礎情報						
科目番号	0045		科目区分	専門 / 必修		
授業形態	授業		単位の種別と単位数	学修単位: 2		
開設学科	電子情報工学科		対象学年	4		
開設期	後期		週時間数	2		
教科書/教材	教科書：小林 優「入門Verilog HDL記述」CQ出版社参考HP：http://www.haljion.net					
担当教員	芦田 和毅					
到達目標						
基本的な組み合わせ回路および順序回路をHDLで記述できることで、学習・教育目標の（D-2）の達成とし、ALUまたはデコーダの設計および製作を行い、CPUを動作させることで（E-1）（E-2）の達成とする。						
ルーブリック						
	理想的な到達レベルの目安		標準的な到達レベルの目安		未到達レベルの目安	
CPLDおよびFPGAの構造	CPLDおよびFPGAの構造を理解し、それらの特徴を説明できる。		CPLDおよびFPGAの構造を理解できる。		CPLDおよびFPGAの構造を理解できない。	
Verilog	Verilogの構文を理解し十分な応用が行える。		Verilogの構文を理解し簡単な応用が行える。		Verilogの構文を理解できない。	
ALU	VerilogによりFPGA上に自作のALUを十分に自作できる。		VerilogによりFPGA上に自作のALUを概ね自作できる。		VerilogによりFPGA上に自作のALUを概ね自作できない。	
学科の到達目標項目との関係						
（D-2）（E-1）（E-2）産業システム工学プログラム						
教育方法等						
概要	本講義では、演習的な要素も取り入れ4ビットCPUのコアになるALUとデコーダの設計をハードウェア記述言語により行い、最後にそれらを自由課題として構築することを目的とする。					
授業の進め方・方法	HDLは一見するとソフトウェアに見えるが、その実はハードウェアを構築している。このような混乱を極力避けるため、回路を作成するときにはブロック図を書くとともに、多くの演習を取り入れながら授業を進めていく。					
注意点	<成績評価> 演習1（20％）、演習2（20％）、学年末達成度試験（60％）の合計100点満点で（D-2）を評価し、ALUの完成度（100％）で（E-1）（E-2）を評価し、共に6割以上獲得した者をこの科目の合格者とする。（D-2）と（E-1）（E-2）の重みは7:3として総合成績をつけ、どちらか一方でも6割未満の場合は、最大59点とする。 <オフィスアワー> 月曜日16:00～17:00、電子情報工学科 1F 芦田教員室 <後修科目> デジタル電子回路、ソフトウェア工学 <備考> なお、本科目は学修単位科目であり、授業時間 30 時間に加えて、自学自習時間 30 時間が必要である。					
授業計画						
		週	授業内容		週ごとの到達目標	
後期	3rdQ	1週	デジタル回路の作成手法の比較		デジタル電子回路の実装方法との比較について説明できる。	
		2週	プログラマブルデバイスの内部構造、HDLの種類、デバイスの選定		FPGAやCPLDなどのプログラマブルデバイスの内部構造、HDLの種類を説明できるとともに、ターゲットデバイスを選定するときの項目について説明できる。	
		3週	デジタル回路とHDLの基礎		簡単なデジタル回路をHDLで記述することができる。	
		4週	HDLによる組み合わせ回路の記述方法と階層設計		加算器、減算器、セレクトなどの組み合わせ回路をHDLで記述する方法と階層設計について説明できる。	
		5週	IDEによるデジタル回路の構築		Xilinx社製IDEによるデジタル回路の構築方法について説明できる。	
		6週	演習1		組み合わせ回路に関する演習を通じてデジタル回路の基礎的な作成方法について説明できる。	
		7週	HDLによる順序回路の記述方法		各種フリップフロップとカウンタ回路について理解し、FPGAに構築することができる。	
		8週	テストベンチ		シミュレーションを行うときに用いるテストベンチを記述できる。	
	4thQ	9週	演習2		7セグメントLEDをダイナミック点灯方式で制御することができる。	
		10週	ALUとその周辺にある基本的なCPUの構造		ALUとその周辺にあるレジスタについて説明できる。	
		11週	ALU構築(1)		ALUとその周辺にあるレジスタをFPGAに構築できる。	
		12週	ALU構築(2)		ALUとその周辺にあるレジスタをFPGAに構築できる。	
		13週	ALU構築(3)		ALUとその周辺にあるレジスタをFPGAに構築できる。	
		14週	ALU構築(4)		ALUとその周辺にあるレジスタをFPGAに構築できる。	
		15週	ALU構築(5)		ALUとその周辺にあるレジスタをFPGAに構築できる。	
		16週	学年末達成度試験			
評価割合						
	試験	小テスト	平常点	レポート	その他	合計
総合評価割合	42	0	0	58	0	100
配点	42	0	0	58	0	100