長野工業高等専門学校	開講年度	平成31年度 (2019年度)	授業科目	応用論理回路設計

科目基礎情報

科目番号	0028	科目区分	専門 / 選択
授業形態	授業	単位の種別と単位数	学修単位: 2
開設学科	生産環境システム専攻	対象学年	専2
開設期	前期	週時間数	2
教科書/教材			
担当教員	小野 伸幸		

到達目標

ルーブリック

	理想的な到達レベルの目安	標準的な到達レベルの目安	未到達レベルの目安
評価項目1	HDLを使用した回路設計の特徴やメリットを説明できる	HDLを使用した回路設計の基本的な考え方を説明できる	HDLを使用した回路設計の考え方が説明できない
評価項目2	HDLを使用した組合せおよび順序回路の設計と検証ができ，回路設計に応用できる	HDLを使用した組合せおよび順序回路の設計と検証ができる	HDLを使用した組合せおよび順序回路の設計と検証ができない
評価項目3	機能ブロックの設計および検証を通じて動作を考察できる	機能ブロックの設計および検証ができる	機能ブロックの設計および検証ができない

学科の到達目標項目との関係

教育方法等

概要	現在のディジタルシステムの開発はHDLによる設計が主流である．本講義ではVerilog-HDLによるディジタルシステム設計において，特にマイクロプロセッサ周辺デバイスやメカトロニクスインターフェースの設計を中心に解説し，HDLによるディジタルシステム設計に関する基礎知識の習得を目指す．
授業の進め方・方法	演習を含めて講義を実施する．なお，この科目は学修単位科目であり，授業時間30時間に加えて，自学自習時間60時間が必要である．事前・事後学習として課題等を与える．
注意点	ディジタル回路およびマイクロプロセッサ周辺回路の動作に関する基礎知識を有していることが望ましい．

授業計画

		週	授業内容	週ごとの到達目標
前期	1stQ	1週	ディジタルシステム設計の考え方1	ディジタルシステム設計の作業工程が理解できる．
		2週	ディジタルシステム設計の考え方2	HDLによる回路設計の有用性が説明できる．
		3週	Verilog-HDLの基本文法1	組合せ回路の基本文法が説明できる．
		4週	Verilog-HDLの基本文法2	順序回路の基本文法が説明できる．
		5週	HDLによる回路記述と検証	シミュレーションの有用性が説明できる．
		6週	組合せ回路の設計1	組合せ回路の記述ができる．
		7週	組合せ回路の設計2	組合せ回路の論理合成およびシミュレーションができる．
		8週	順序回路の設計1-1	信号発生回路の記述ができる．
	2ndQ	9週	順序回路の設計1-2	信号発生回路の論理合成およびシミュレーションができる．
		10週	状態遷移法による設計	状態遷移法による設計と記述ができる．
		11週	順序回路の設計2-1	シリアルインタフェース回路の記述ができる．
		12週	順序回路の設計2-2	シリアルインタフェース回路の論理合成とシミュレーションができる．
		13週	補間演算	補間演算の原理が理解できる．
		14週	順序回路の設計3-1	補間演算回路の記述ができる．
		15週	順序回路の設計3-2	補間演算回路の論理合成とシミュレーションができる．
		16週	達成度の確認	

評価割合

	試験	レポート	相互評価	態度	ポートフォリオ	その他	合計
総合評価割合	70	30	0	0	0	0	100
基礎的能力	0	0	0	0	0	0	0
専門的能力	70	30	0	0	0	0	100
分野横断的能力	0	0	0	0	0	0	0