

岐阜工業高等専門学校		開講年度	令和03年度 (2021年度)		授業科目	電子制御回路	
科目基礎情報							
科目番号	0156		科目区分		専門 / 選択		
授業形態	講義		単位の種別と単位数		学修単位: 2		
開設学科	電子制御工学科		対象学年		5		
開設期	後期		週時間数		2		
教科書/教材	図解VHDL実習 (第2版) ― ゼロからわかるハードウェア記述言語 ― (堀 桂太郎著, 森北出版, 2011.2) / (参考文献) FPGAスタートキットDE10-Lite入門 (芹井滋喜著, CQ出版, 2020年5月)						
担当教員	藤田 一彦						
到達目標							
以下の各項目を到達目標とする。 ①ハードウェア記述言語VHDLの理解 ②VHDLを用いた回路設計法や階層設計に関する理解 ③CPLD/FPGAの仕組みや使い方の理解 ④加算器, 減算器, エンコーダ, デコーダ, マルチプレクサなどの組合せ回路の理解 ⑤フリップフロップ, シフトレジスタ, n進カウンタなどの順序回路の理解 ⑥Intel社のQuartus Prime Lite Editionを利用したHDLによる回路設計ができること							
岐阜高専ディプロマポリシー: (D) 専門分野							
ルーブリック							
	理想的な到達レベル (優) の目安		標準的な到達レベル (良) の目安		未到達レベル (不可) の目安		
評価項目1 (ハードウェア記述言語VHDLの理解)	ハードウェア記述言語VHDLに関する問題を正確 (8割以上) に解くことができる。		ハードウェア記述言語VHDLに関する問題を正確 (7割以上) に解くことができる。		ハードウェア記述言語VHDLに関する問題を6割未満しか解くことができない。		
評価項目2 (VHDLを用いた回路設計法や階層設計に関する理解)	VHDLを用いた回路設計法や階層設計に関する問題を正確 (8割以上) に解くことができる。		VHDLを用いた回路設計法や階層設計に関する問題を正確 (7割以上) に解くことができる。		VHDLを用いた回路設計法や階層設計に関する問題を6割未満しか解くことができない。		
評価項目3 (CPLD/FPGAの仕組みや使い方の理解)	CPLD/FPGAの仕組みや使い方に関する問題を正確 (8割以上) に解くことができる。		CPLD/FPGAの仕組みや使い方に関する問題を正確 (7割以上) に解くことができる。		CPLD/FPGAの仕組みや使い方に関する問題を6割未満しか解くことができない。		
評価項目4 (加算器, 減算器, エンコーダ, デコーダ, マルチプレクサなどの組合せ回路の理解)	加算器, 減算器, エンコーダ, デコーダ, マルチプレクサなどの組合せ回路の設計に関する問題を正確 (8割以上) に解くことができる。		加算器, 減算器, エンコーダ, デコーダ, マルチプレクサなどの組合せ回路の設計に関する問題を正確 (7割以上) に解くことができる。		加算器, 減算器, エンコーダ, デコーダ, マルチプレクサなどの組合せ回路の設計に関する問題を6割未満しか解くことができない。		
評価項目5 (フリップフロップ, シフトレジスタ, n進カウンタなどの順序回路の理解)	フリップフロップ, シフトレジスタ, n進カウンタなどの順序回路の設計に関する問題を正確 (8割以上) に解くことができる。		フリップフロップ, シフトレジスタ, n進カウンタなどの順序回路の設計に関する問題を正確 (7割以上) に解くことができる。		フリップフロップ, シフトレジスタ, n進カウンタなどの順序回路の設計に関する問題を6割未満しか解くことができない。		
評価項目6 (Intel社のQuartus Prime Lite Editionを利用したHDLによる回路設計ができること)	Intel社のQuartus Prime Lite Editionを利用したHDLによる回路設計が十分にできる。		Intel社のQuartus Prime Lite Editionを利用したHDLによる回路設計がある程度できる。		Intel社のQuartus Prime Lite Editionを利用したHDLによる回路設計ができない。		
学科の到達目標項目との関係							
教育方法等							
概要	授業では, 回路設計環境としてIntel社のQuartus Prime Lite Editionを使用し, 設計した回路を各自がFPGA学習ボード terasic社 (DE10-Lite) に書き込んで動作確認をする。本授業では, 座学と回路設計実習を行うことにより, VHDLによるデジタル回路設計法を修得することができる。 ※実務との関係 この科目は, 企業で回路設計を担当していた教員がその経験を活かし, デジタル回路設計の手法に基づいて, ハードウェア記述言語VHDLを用いた組合せ回路や順序回路等の論理回路設計法を講義と回路設計実習を通じて学ぶ授業である。						
授業の進め方・方法	授業では, パソコンとIntel社のQuartus Prime Lite Editionを使用してVHDL記述, 動作シミュレーション等を行って, 実際に設計した回路をFPGA学習ボード terasic社 (DE10-Lite) に書き込み, その動作確認をする。回路設計演習を中心に行なうので, 設計のためのデジタル回路の基礎をよく復習しておくこと。設計した回路は, レポートにして提出すること。 (事前準備の学習) デジタル回路Ⅰ、デジタル回路Ⅱの復習をしておくこと。 英語導入計画: Technical terms: 専門用語の英語表記を教える。						
注意点	実際にQuartus Prime Lite Editionを使用してVHDL記述し, 回路設計を行った結果を, 課題レポートとしてまとめ提出すること。授業時間だけではこの課題は終わらないので, 各自がPCなど準備し課題演習ができる環境を備えておくことよい。なお, 成績評価には教室外学修 (課題レポートなど) の内容も含まれるので, 必ず期限までに仕上げて提出すること。“授業の内容を確実に身につけるために, 予習・復習に取り組むことが必須である。”						
授業の属性・履修上の区分							
☐ アクティブラーニング		☒ ICT 利用		☒ 遠隔授業対応		☐ 実務経験のある教員による授業	
授業計画							
		週	授業内容		週ごとの到達目標		
後期	3rdQ	1週	デジタル回路設計法の基礎 (ALのレベルC)		デジタル回路設計法の基礎について理解する。 (授業外学習・事前) 組合せ論理回路の復習 (約2時間) (授業外学習・事後) 順序論理回路の復習 (約2時間)		
		2週	CPLD/FPGAの基礎 (ALのレベルC)		CPLD/FPGAデバイスの基礎事項について理解する。 (授業外学習・事前) 教科書 第1章の予習 (約2時間) (授業外学習・事後) CPLD/FPGAについての復習と課題問題を解く (約2時間)		

		3週	ハードウェア記述言語VHDLの基礎 (ALのレベルC)	ハードウェア記述言語VHDLの基礎について理解する。 (授業外学習・事前) ハードウェア記述言語VHDLの概要について調べる (約1時間) (授業外学習・事後) 回路図入力設計に関する演習 (約3時間)
		4週	開発ツール Intel社のQuartus Prime Lite Editionの操作実習 (ALのレベルC)	開発ツール Intel社のQuartus Prime Lite Editionの使い方を理解し、操作することができる。 (授業外学習・事前) Quartus Prime Lite Editionの予習 (Learning Video視聴) (約2時間) (授業外学習・事後) Quartus Prime Lite Editionの操作実習1 (約2時間)
		5週	回路設計の流れ：VHDLの書き方 (ALのレベルC)	VHDLの書き方を理解し、簡単なデジタル回路を記述する。 (授業外学習・事前) 教科書 第2章の予習 (約2時間) (授業外学習・事後) Quartus Prime Lite Editionの操作実習2 (約2時間)
		6週	組合せ回路の設計Ⅰ：VHDLの文法の基礎 (ALのレベルC)	VHDLの文法を理解し、デジタル回路を機能記述する方法を理解する。 (授業外学習・事前) 教科書 第3章 (前半) の予習 (約1時間) (授業外学習・事後) VHDLの書き方に関する演習課題に取り組む (約3時間)
		7週	組合せ回路の設計Ⅱ：加算器と減算器、エンコーダなど (ALのレベルC)	VHDLを用いて、加算器や減算器、エンコーダなどを記述する。 (授業外学習・事前) 教科書 第3章 (後半)、配布資料の予習 (約1時間) (授業外学習・事後) 加算回路、並列加算回路などの設計演習課題に取り組む (約3時間)
		8週	組合せ回路の設計Ⅲ：加算器と減算器、エンコーダなど (ALのレベルC)	VHDLを用いて、加算器や減算器、エンコーダなどを記述する。 (授業外学習・事前) 教科書 第3章 (後半)、配布資料の予習 (約1時間) (授業外学習・事後) エンコーダ・デコーダ回路の設計演習課題に取り組む (約3時間)
	4thQ	9週	組合せ回路の設計Ⅳ：マルチプレクサとデマルチプレクサ (ALのレベルC)	VHDLを用いて、加算器や減算器、エンコーダなどを記述する。 (授業外学習・事前) 配布資料の予習 (約1時間) (授業外学習・事後) マルチプレクサ回路の設計演習課題に取り組む (約3時間)
		10週	順序回路設計Ⅰ：フリップフロップの設計 (ALのレベルC)	VHDLを用いて、各種のフリップフロップの記述法を理解する。 (授業外学習・事前) 教科書 第4章 (前半)、配布資料の予習 (約1時間) (授業外学習・事後) フリップフロップ回路の設計演習課題に取り組む (約3時間)
		11週	順序回路設計Ⅱ：同期式n進カウンタの設計 (ALのレベルC)	VHDLを用いて、同期式n進カウンタの記述法を理解する。 (授業外学習・事前) 教科書 第4章 (後半)、配布資料の予習 (約1時間) (授業外学習・事後) カウンタ回路の設計演習課題に取り組む (約3時間)
		12週	階層設計の基礎：階層設計とは何か、10秒カウンタの設計 (ALのレベルC)	VHDLを用いて、階層設計する方法を理解する。 (授業外学習・事前) 教科書 第5章、配布資料の予習 (約2時間) (授業外学習・事後) 階層設計、ステートマシンに関する演習課題に取り組む (約2時間)
		13週	シミュレーションの基礎：テストベンチ、シミュレーション実習 (ALのレベルC)	テストベンチを作成し、回路のシミュレーションをできるようにする。 (授業外学習・事前) 教科書 第6章、配布資料の予習 (約2時間) (授業外学習・事後) シミュレーション実習課題に取り組む (約2時間)
		14週	デジタル回路システムの設計演習 1 (ALのレベルC)	VHDLを用いて、ストップウォッチの機能を備えたデジタル回路を記述設計できる。 (授業外学習・事前) 配布資料の予習 (約1時間) (授業外学習・事後) ストップウォッチの設計演習課題に取り組む (約3時間)
		15週	期末試験	—
		16週	デジタル回路システムの設計演習 2 (ALのレベルC)	VHDLを用いて設計したストップウォッチの機能をFPGA上に実装し動作するかを確かめる。 (授業外学習・事前) レポート作成 (約4時間)

モデルコアカリキュラムの学習内容と到達目標					
分類	分野	学習内容	学習内容の到達目標	到達レベル	授業週
評価割合					
		期末試験 (67%)	課題レポート (33%)	合計	
総合評価割合		100	50	150	
得点		100	50	150	