

岐阜工業高等専門学校		開講年度	令和02年度 (2020年度)	授業科目	デジタルシステム基礎
科目基礎情報					
科目番号	0013		科目区分	専門 / 選択	
授業形態	講義		単位の種別と単位数	学修単位: 2	
開設学科	先端融合開発専攻		対象学年	専1	
開設期	前期		週時間数	2	
教科書/教材	LMS上の資料を用いる				
担当教員	福永 哲也				
到達目標					
<p>デジタルシステムを設計するHDLの基礎を学習し、verilog-HDLについて回路の設計法、文法、ツールの利用法を学習し、ツールとverilog-HDLを利用して回路動作をシミュレーションし新たな回路を設計できるようになる。</p> <p>具体的な目標を以下に示す。</p> <p>①FPGAとは何かを理解する。  ②回路設計に用いるverilog-HDLの概要について理解する。  ③verilog-HDLの文法を理解する。  ④階層設計の仕組みとverilog-HDLでの実現方法を理解する。  ⑤シミュレーションツールの利用法を理解する。  ⑥複雑な回路の動作を理解する。</p>					
ルーブリック					
	理想的な到達レベルの目安	標準的な到達レベルの目安	未到達レベルの目安		
評価項目1	FPGAとは何かを説明し、実際のFPGAを利用することができる。	FPGAとは何かを理解している。	FPGAとは何かを理解できない。		
評価項目2	verilog-HDLについて説明しverilog-HDLのファイル構造を理解して簡単なファイルを作成できる。	verilog-HDLを説明できる。	verilog-HDLが何かわからない。		
評価項目3	verilog-HDLの基本的な文法を利用して組み合わせ回路と順序回路が記述できる。	verilog-HDLの基本的な文法を利用して組み合わせ回路が記述できる。	verilog-HDLで回路が記述できない。		
評価項目4	階層設計を説明しverilog-HDLで階層設計の回路を記述できる。	階層設計が何かを説明できる。	階層設計が何かを説明できない。		
評価項目5	シミュレーション・ツールを利用して回路の動作を動作確認できる。	シミュレーション・ツールを利用できる。	シミュレーション・ツールを利用できない。		
評価項目6	複雑な回路の動作を説明し複雑な回路を設計できる。	複雑な回路の動作を説明できる。	複雑な回路の動作を説明できない。		
学科の到達目標項目との関係					
教育方法等					
概要	verilog-HDLとFPGAを用いて回路を設計し、その回路の動作をシミュレータで動作確認を行うための手法とverilog-HDLの文法を学ぶ。				
授業の進め方・方法	<p>授業は、シミュレーション・ツールを使用して回路の設計と動作確認を行いながら進める。verilog-HDLの文法はC言語と似ている部分があるのでC言語をよく復習しておくことよい。課題は授業中に取り組み理解を助けるための「課題A」と、1週間の時間をかけて設計に取り組む「課題B」とに分けて、成績評価への重みも変えている。それぞれの課題を時間内に進めるため、授業内容を集中して理解する必要がある。</p> <p>英語導入計画：Technical terms</p>				
注意点	<p>シミュレーション・ツールを使った演習は課題として提出しなければならないため、締め切りまでに課題を完成するようにする。また、利用するツールは無償で利用できるものであるため、自分の自由にできるコンピュータにインストールして環境を用意しておくことよい。</p> <p>学習・教育目標：(D-2 情報・論理系) 100%</p>				
授業計画					
前期	1stQ	週	授業内容	週ごとの到達目標	
		1週	HDL概要	HDLとは何か、FPGAとは何かを学習する。	
		2週	verilog-HDLの基礎(値の表現と代入)	verilog-HDLの文法としての値表現と代入の方法を理解する。	
		3週	シミュレーションソフトの利用法とassign文	課題を進めるために必要な、シミュレーションソフトの利用方法を理解し、verilog-HDLのassign文を理解する。	
		4週	演算子の利用	最も簡単な組み合わせ回路を作成するための演算子の利用方法を理解する。	
		5週	パラメーター宣言	パラメーター宣言を行い、回路記述をわかりやすくする方法を理解する。	
		6週	変数(wire変数とreg変数)	verilog-HDLで利用する2種類の変数(wire変数とreg変数)について、利用法と特徴を理解する。	
		7週	always文・initial文とシミュレーションでのクロックの与え方	verilog-HDLで同期回路を記述するためのalways文の利用法を理解する。	
	8週	always文でのその他の文法(if文、case文、casex文)	always文内での各種文法を利用した複雑な順序回路について理解する。		
	2ndQ	9週	2種類の代入(ブロッキング代入とノンブロッキング代入)	verilog-HDLの2種類の代入文の利用法を理解する。	
		10週	配列とinitial文でのfor文の利用	verilog-HDLの配列の作成と利用方法、およびfor文を利用した初期化方法などを理解する。	
		11週	階層設計	階層設計とは何かとverilog-HDLで階層設計を実現する方法を理解する。	
12週		シミュレーションでのfor文の利用	シミュレーションで多くの状態を入力するためのfor文の利用方法を理解する。		

		13週	include文と下位モジュールのパラメータの設定	include文を利用したり、下位モジュールのパラメータを決めたりして、他のモジュールを操作する方法を理解する。
		14週	接続とシフト	データを操作するための接続や、接続などを利用したシフト回路などの構成方法を理解する。
		15週	期末試験	
		16週	期末試験返却とまとめ	FPGAとHDLの利用についてまとめる。

### モデルコアカリキュラムの学習内容と到達目標

分類	分野	学習内容	学習内容の到達目標	到達レベル	授業週	
基礎的能力	自然科学	物理	電気	導体と不導体の違いについて、自由電子と関連させて説明できる。	3	
				電場・電位について説明できる。	3	
				クーロンの法則が説明できる。	3	
				クーロンの法則から、点電荷の間にはたらく静電気力を求めることができる。	3	
				オームの法則から、電圧、電流、抵抗に関する計算ができる。	3	
				抵抗を直列接続、及び並列接続したときの合成抵抗の値を求めることができる。	3	
				ジュール熱や電力を求めることができる。	3	
専門的能力	分野別の専門工学	電気・電子系分野	電磁気	電荷及びクーロンの法則を説明でき、点電荷に働く力等を計算できる。	3	
				電界、電位、電気力線、電束を説明でき、これらを用いた計算ができる。	3	
				ガウスの法則を説明でき、電界の計算に用いることができる。	3	
				導体の性質を説明でき、導体表面の電荷密度や電界などを計算できる。	3	
				誘電体と分極及び電束密度を説明できる。	3	
				静電容量を説明でき、平行平板コンデンサ等の静電容量を計算できる。	3	
				コンデンサの直列接続、並列接続を説明し、その合成静電容量を計算できる。	3	
				静電エネルギーを説明できる。	3	
		電子工学	電子の電荷量や質量などの基本性質を説明できる。	3		

### 評価割合

	試験	課題	合計
総合評価割合	100	50	150
得点	100	50	150