

沼津工業高等専門学校		開講年度	平成30年度 (2018年度)	授業科目	計算機工学Ⅱ
科目基礎情報					
科目番号	2018-265		科目区分	専門 / 必修	
授業形態	授業		単位の種別と単位数	学修単位: 2	
開設学科	電子制御工学科		対象学年	5	
開設期	後期		週時間数	2	
教科書/教材	配布資料				
担当教員	(D科 非常勤講師) ,長澤 正氏				
到達目標					
1. コンピュータのハードウェアを構成する各装置を図で示し説明できる。 2. CPUの基本動作、プログラム実行過程をブロック図で示し説明できる。 3. CPUの設計手順を理解し、説明できる。 4. 基本的な構成のCPUの設計が行える。(C1-3) 5. プログラム容量追加、割り込み機能/タイマ機能追加等、機能を拡張したCPUの設計が行える。(C1-3)					
ルーブリック					
		理想的な到達レベルの目安	標準的な到達レベルの目安	未到達レベルの目安	
1. コンピュータのハードウェアを構成する各装置を図で示し説明できる。		☐ コンピュータのハードウェア構成図を描け、各々の関係及び信号の流れを説明できる。 ☐ 制御装置の役割及び他の装置との関係を説明できる。 ☐ 演算装置の役割及び他の装置との関係を説明できる。 ☐ 主記憶装置の役割及び他の装置との関係を説明できる。 ☐ 入出力装置の役割及び他の装置との関係を説明できる。	☐ コンピュータのハードウェア構成図を描ける。 ☐ 制御装置の役割を説明できる。 ☐ 演算装置の役割を説明できる。 ☐ 主記憶装置の役割を説明できる。 。 ☐ 入出力装置の役割を説明できる。 。	☐ コンピュータのハードウェア構成図を描けない。 ☐ 制御装置の役割を説明できない。 。 ☐ 演算装置の役割を説明できない。 。 ☐ 主記憶装置の役割を説明できない。 。 ☐ 入出力装置の役割を説明できない。	
2. CPUの基本動作、プログラム実行過程をブロック図で示し説明できる。		☐ 基本的なCPUの構成図を描け、各々の関係及び信号の流れを説明できる。 ☐ 基本的なCPUの構成要素の詳細を説明できる。 ☐ プログラム実行時、CPUの各要素の働きを詳細に説明できる。 ☐ プログラム実行時、実行過程を時系列的に詳細に説明できる。	☐ 基本的なCPUの構成図を描ける。 ☐ 基本的なCPUの構成要素を説明できる。 ☐ プログラム実行時、CPUの各要素の働きを説明できる。 ☐ プログラム実行時、実行過程を時系列的に説明できる。	☐ 基本的なCPUの構成図を描けない。 ☐ 基本的なCPUの構成要素を説明できない。 ☐ プログラム実行時、CPUの各要素の働きを説明できない。 ☐ プログラム実行時、その実行過程を時系列的に説明できない。	
3. CPUの設計手順を理解し、説明できる。		☐ CPUへの要求仕様を理解し、汎用性を考慮した内部構成要素選択の説明が行える。 ☐ CPUへの要求仕様を理解し、汎用性を考慮した命令選択の説明が行える。 ☐ CPU内の各要素を、動作速度の向上を考慮して選択、配置し、制御信号とデータ線での内部構成要素接続の説明が行える。 ☐ クロック同期で動作するCPUの設計方法の説明が行える。	☐ CPUの基本的な構成を理解し、内部構成要素選択の説明が行える。 ☐ CPUの基本的な構成を理解し、実装する命令選択の説明が行える。 。 ☐ CPU内での制御信号とデータの役割、内部構成要素接続の説明が行える。 ☐ CPUの基本的な4つの動作を理解し、タイミング設計の説明を行える。 ☐ CPU内の信号の流れからCPUの動作速度の見積りの説明が行える。 。	☐ CPUの基本的な構成を理解し、内部構成要素選択の説明が行えない。 ☐ CPUの基本的な構成を理解し、実装する命令選択の説明が行えない。 。 ☐ CPU内での制御信号とデータの役割、内部構成要素接続の説明が行えない。 ☐ CPUの基本的な4つの動作を理解し、タイミング設計の説明を行えない。 ☐ CPU内の信号の流れからCPUの動作速度の見積りの説明が行えない。	
4. 基本的な構成のCPUの設計が行える。(C1-3)		☐ CPUへの要求仕様を理解し、汎用性を考慮した内部構成要素の設計が行える。 ☐ CPUへの要求仕様を理解し、汎用性を考慮した命令の回路設計が行える。 ☐ CPU内の各要素を、動作速度の向上を考慮して選択、配置し、制御信号とデータ線で各要素の接続が行える。 ☐ クロック同期で動作するCPUの設計を行える。	☐ CPUの基本的な構成を理解し、内部構成要素の設計が行える。 ☐ CPUの基本的な構成を理解し、実装する命令の回路設計が行える。 。 ☐ CPU内での制御信号とデータの役割を決め、各要素の接続が行える。 ☐ CPUの基本的な4つの動作を理解し、タイミング設計を行える。 ☐ CPU内の信号の流れからCPUの動作速度の見積りが行える。	☐ CPUの基本的な構成を理解し、内部構成要素の設計が行えない。 ☐ CPUの基本的な構成を理解し、実装する命令の回路設計が行えない。 。 ☐ CPU内での制御信号とデータの役割を決め、各要素の接続が行えない。 ☐ CPUの基本的な4つの動作を理解し、タイミング設計を行えない。 ☐ CPU内の信号の流れからCPUの動作速度の見積りが行えない。	
5. プログラム容量追加、割り込み機能/タイマー機能追加等、機能を拡張したCPUの設計が行える。(C1-3)		☐ プログラム容量追加の仕様を理解し、複数の手段から最適な方法を選択し、必要な変更を加え、CPU全体の設計が行える。 ☐ タイマー機能の仕様を理解し、必要な内部構成要素、命令の追加を行いCPU全体の設計が行える。 ☐ 割り込み機能の仕様を理解し、必要な内部構成要素、命令の追加を行いCPU全体の設計が行える。	☐ プログラム容量追加の仕様を理解し、必要な内部構成要素、命令の追加を行いCPU全体の設計が行える。 ☐ タイマー機能の仕様の概略を理解し、必要な内部構成要素、命令の追加についての概要を説明できる。 ☐ 割り込み機能の仕様の概略を理解し、必要な内部構成要素、命令の追加についての概要を説明できる。	☐ プログラム容量追加の仕様を理解し、必要な内部構成要素、命令の追加を行いCPU全体の設計が行えない。 ☐ タイマー機能の仕様の概略を理解し、必要な内部構成要素、命令の追加についての概要を説明できない。 ☐ 割り込み機能の仕様の概略を理解し、必要な内部構成要素、命令の追加についての概要を説明できない。	
学科の到達目標項目との関係					
実践指針 (C1) 実践指針のレベル (C1-3) 【本校学習・教育目標 (本科のみ)】 3 【プログラム学習・教育目標】 C					
教育方法等					

概要	1. 授業で扱う主要なテーマ：コンピュータのハードウェア 2. テーマの歴史等：コンピュータが実用化されて60年の間にめざましい発展をとげ、汎用的に利用されるようになってきたが、ハードウェアは、基本構造をほとんど変えずに高速化・小型化された。電子回路の発展による高速性とソフトウェアによる融通性、集積回路の発展による超小型化などマイクロプロセッサ、各種メモリ素子の発達による成果である。コンピュータの基本と電子部品の知識を修得する。 3. 社会との関連：パーソナルコンピュータ、携帯端末の利用技術は誰にでも要求され、生産・サービス・消費の社会生活に不可欠である。 4. 工学技術上の位置付け：システムの開発や設計をするとき必要となるコンピュータのハードウェアの基礎知識を修得する。 5. 学問的位置付け：コンピュータのハードウェアの基礎知識を学び、そこから今後の技術開発の有様を考察する。
授業の進め方・方法	配布資料に基づき解説する。 CPUの設計は演習室のEDAツールquartusIIを使って、シミュレーションしながら行う。
注意点	4回の試験の平均を70%、課題レポートを30%の重みとして評価する。授業目標4（C1-3）及び授業目標5（C1-3）が標準基準（6割）以上で、かつ科目全体で60点以上の場合に合格とする。評価基準については、成績評価基準表による。 1.試験や課題レポート等は、JABEE、大学評価・学位授与機構、文部科学省の教育実施検査に使用することがあります。 2.授業参観される教員は当該授業が行われる少なくとも1週間前に教科目担当教員へ連絡してください。

授業計画				
		週	授業内容	週ごとの到達目標
後期	3rdQ	1週	CPUの設計演習・回路図入力	Quartus II・回路図入力、プログラム作成/入力ができる
		2週	CPUの設計演習・回路検証	Quartus II・論理シミュレーションにて動作確認ができる
		3週	CPUの各要素のVHDL記述	レジスタ、プログラムカウンタ、セレクト、演算回路、デコーダ回路のVHDL記述ができる
		4週	VHDL記述CPUの設計演習	Quartus II・回路図入力、論理シミュレーションにて動作確認ができる
		5週	プログラム容量拡張・機能設計	プログラム容量拡張CPUの内部ブロック（回路）の構成と機能仕様、命令仕様について説明できる
		6週	プログラム容量拡張・回路設計	プログラム容量拡張CPUのレジスタ、演算回路、PC、デコーダ/制御信号生成回路他について説明できる
		7週	容量拡張版CPU設計演習	Quartus II・回路図入力、プログラム作成/入力ができる
		8週	容量拡張版CPU設計演習	Quartus II・論理シミュレーションにて動作確認ができる
	4thQ	9週	タイマ機能追加CPU機能設計	タイマ機能追加CPUの内部ブロック（回路）の構成と機能仕様、命令仕様について説明できる
		10週	タイマ機能追加CPU機能設計	タイマ機能追加CPUのレジスタ、演算回路、PC、デコーダ/制御信号生成回路他について説明できる
		11週	タイマ機能追加CPU機能設計	割込機能追加CPUの内部ブロック（回路）の構成と機能仕様、命令仕様について説明できる
		12週	割込機能追加CPU機能設計	割込機能追加CPUのレジスタ、演算回路、PC、デコーダ/制御信号生成回路他について説明できる
		13週	機能追加CPU設計演習	Quartus II・回路図入力、プログラム作成/入力ができる
		14週	機能追加CPU設計演習	Quartus II・論理シミュレーションにて動作確認ができる
		15週	機能追加CPU設計演習	Quartus II・論理シミュレーションの結果を報告書にまとめることができる
		16週		

モデルコアカリキュラムの学習内容と到達目標					
分類	分野	学習内容	学習内容の到達目標	到達レベル	授業週
専門的能力	分野別の専門工学	情報系分野 計算機工学	論理ゲートを用いて論理式を組合せ論理回路として表現することができる。	4	
			与えられた組合せ論理回路の機能を説明することができる。	4	
			組合せ論理回路を設計することができる。	4	
			フリップフロップなどの順序回路の基本素子について、その動作と特性を説明することができる。	4	
			レジスタやカウンタなどの基本的な順序回路の動作について説明できる。	4	
			与えられた順序回路の機能を説明することができる。	4	
			順序回路を設計することができる。	4	
			コンピュータを構成する基本的な要素の役割とこれらの間でのデータの流れを説明できる。	4	
			プロセッサを実現するために考案された主要な技術を説明できる。	3	
			メモリシステムを実現するために考案された主要な技術を説明できる。	3	
			入出力を実現するために考案された主要な技術を説明できる。	3	
			ハードウェア記述言語など標準的な手法を用いてハードウェアの設計、検証を行うことができる。	4	
			要求仕様に従って、標準的なプログラマブルデバイスやマイコンを用いたシステムを構成することができる。	4	

評価割合

	試験	課題			ポートフォリオ	その他	合計
総合評価割合	70	30	0	0	0	0	100
基礎的能力	20	10	0	0	0	0	30
専門的能力	40	15	0	0	0	0	55
分野横断的能力	10	5	0	0	0	0	15