扒口甘口	日工業高等	宇男門字科	菜 開講年度 平成29年度	(2017年度)	授業科目	マイクロコンピュータ工学A	
// H 보다	选情報						
科目番号		34125		科目区分	専門 / 選択		
授業形態		講義		単位の種別と単位		-	
開設学科		情報工		対象学年		子形毕位: 1 4	
開設期		前期	<del>-11</del>	週時間数	+	1	
<del>////////////////////////////////////</del>	─────────────────────────────────────	ΓVHD	 Lによるマイクロプロセッサ設計入門。	1 - 11 - 17 - 17 - 1			
担当教員		件野 巧	および教材用プリント(電子資料) ;				
到達目標		11123					
(イ)VHDL (ウ)設計し (エ)VHDL (オ)VHDL	Lによるハ- した回路を Lによる組み Lによる順所	- ドウェア© FPGAに実装 か合わせ回距	、集積回路、ASIC、再構成可能ハート 回路を設計でき、VHDLの設計手順や特 をでき、FPGAの実装手順や特徴につい 各が設計でき、記述について説明できる。 が設計でき、記述について説明できる。	寺徴について説明でき∙ ∖て説明できる。 る。	理解でき、特徴をi る。 	<b>说明できる。</b>	
ルーブリ	リック		最低限の到達レベルの目安(優)	最低限の到達レベ	 ジルの目安(良)	最低限の到達レベルの目安(不可)	
			システム設計で重要なHDL、集料 回路、ASIC、再構成可能ハード エアについて理解でき、特徴を記		構成可能ハードウ	システム設計で重要なHDL、集積 回路、ASIC、再構成可能ハードウェアについて理解できない。	
			明できる。 VHDLによるハードウェア回路を 計でき、VHDLの設計手順や特徴 ついて説明できる。	:設 VUD /= F3/1		VHDLによるハードウェア回路を設計できない。	
			設計した回路をFPGAに実装でき	·る 設計した回路をFF	PGAに実装できる	設計した回路をFPGAに実装できな	
 学科のY	到達日煙]	 項目との!	<u> 。</u> 對係	0		( ) <sub>0</sub>	
		のづくり能力					
教育方法	法等						
概要 授業の進&	め方・方法	進み、	コンピュータは、近年の半導体技術の急速な進歩によって、ますます小型化、低価格化、高速化、高機能化が 配在ではあらゆる製品に組み込まれて利用されている。特に、マイクロコンピュータを利用する人は、簡単なコータを設計できる程度にマイクロコンピュータの動作原理から内部構造までを理解していることが必要である。 基本的なコンピュータ(COMET)を設計するために、ハードウェア記述言語VHDLを用いたハードウェア回路の PGAへの実装によるLSI設計について学習する。 ソートに書く代わりに、説明した内容を整理してパソコンでテキストにまとめ、電子的に提出する。				
注意点	修の種別	コンビ  に授業   た期日  ・旧カリ	ュータ工学ABの単位を修得しているこ 内容の予習・復習を行うこと。これを までの課題(レポート)提出を求める 科目名	ことが望ましい。なお、 確認するための小テフ 。	、ノートパソコンを ストを実施する。ま 	を利用した演習を行うため、継続的た、授業内容について、決められ	
授業計画	画	T <sub>1</sub> m	極光中空		田ブトの列告ロ挿		
		週	授業内容 シラバスの説明(評価基準)、組み		週ごとの到達目標		
		1週	ステム設計: HDL、集積回路、ASI ドウェア	C、再構成可能バー	「授業内容」ができ	t 7	
		l l					
		2週	VHDLによるサンプル回路の設計と VHDL記述、VHDLシミュレータの打 ョン	実装: サンプル 操作、シミュレーシ	「授業内容」ができ		
		2週	VHDL記述、VHDLシミュレータの打	操作、シミュレーシ	「授業内容」ができ	<b>±</b> る	
	1stQ		VHDL記述、VHDLシミュレータの持 ョン 半加算器の設計と実装:半加算器の 配置配線、FPGAへの実装 全加算器の設計:全加算器の階層構 ュレーション	操作、シミュレーシーの記述、論理合成、制造設計記述、シミー		<b></b> ₹る	
	1stQ	3週	VHDL記述、VHDLシミュレータの ヨン 半加算器の設計と実装:半加算器の 配置配線、FPGAへの実装 全加算器の設計:全加算器の階層権	操作、シミュレーシーの記述、論理合成、制造設計記述、シミー	「授業内容」ができ	₹る ₹る	
	1stQ	3週	VHDL記述、VHDLシミュレータの ヨン 半加算器の設計と実装:半加算器の 配置配線、FPGAへの実装 全加算器の設計:全加算器の階層権 ュレーション 加算回路:4ビット加算回路、Nビ	操作、シミュレーシ 記述、論理合成、 講造設計記述、シミ ット加算回路、テ	「授業内容」ができ	きる きる きる	
前期	1stQ	3週 4週 5週	VHDL記述、VHDLシミュレータの打 ョン 半加算器の設計と実装:半加算器の配置配線、FPGAへの実装 全加算器の設計:全加算器の階層構 ュレーション 加算回路:4ビット加算回路、Nビ ストデータによるテスト	操作、シミュレーシー記述、論理合成、   講造設計記述、シミーット加算回路、テー	「授業内容」ができ 「授業内容」ができ 「授業内容」ができ	きる きる きる ができる	
前期	1stQ	3週 4週 5週 6週	VHDL記述、VHDLシミュレータの持 ョン 半加算器の設計と実装:半加算器の配置配線、FPGAへの実装 全加算器の設計:全加算器の階層構 ュレーション 加算回路:4ビット加算回路、Nビストデータによるテスト 小テスト、まとめ ALU回路:演算回路の自動生成、テいろ 組み合わせ回路:3ステート回路、	操作、シミュレーシ 記述、論理合成、 講造設計記述、シミ ット加算回路、テ ・ストベンチのいろ エンコーダ回路、	「授業内容」ができ 「授業内容」ができ 「授業内容」ができ 5回の「授業内容」	きる きる きる ができる きる	
前期	1stQ	3週 4週 5週 6週 7週	VHDL記述、VHDLシミュレータの持 ョン 半加算器の設計と実装:半加算器の配置配線、FPGAへの実装 全加算器の設計:全加算器の階層構 ュレーション 加算回路:4ビット加算回路、Nビストデータによるテスト 小テスト、まとめ ALU回路:演算回路の自動生成、テ	操作、シミュレーシ 記述、論理合成、 講造設計記述、シミ ット加算回路、テ テストベンチのいろ エンコーダ回路、	「授業内容」ができ 「授業内容」ができ 「授業内容」ができ 5回の「授業内容」 「授業内容」ができ	きる きる きる ができる きる	
前期	1stQ	3週 4週 5週 6週 7週 8週	VHDL記述、VHDLシミュレータの持 ョン 半加算器の設計と実装:半加算器の配置配線、FPGAへの実装 全加算器の設計:全加算器の階層構 ュレーション 加算回路:4ビット加算回路、Nビ ストデータによるテスト 小テスト、まとめ ALU回路:演算回路の自動生成、テ いろ 組み合わせ回路:3ステート回路、 デコーダ回路、バレル・シフト回路	操作、シミュレーシ 記述、論理合成、 講造設計記述、シミ ット加算回路、テ テストベンチのいろ エンコーダ回路、	「授業内容」ができ 「授業内容」ができ 「授業内容」ができ 5回の「授業内容」 「授業内容」ができ 「授業内容」ができ	きる きる きる ができる きる	
前期	1stQ	3週 4週 5週 6週 7週 8週 9週	VHDL記述、VHDLシミュレータの ョン 半加算器の設計と実装:半加算器の 配置配線、FPGAへの実装 全加算器の設計:全加算器の階層構 ュレーション 加算回路:4ビット加算回路、Nビ ストデータによるテスト 小テスト、まとめ ALU回路:演算回路の自動生成、テ いろ 組み合わせ回路:3ステート回路、 デコーダ回路、バレル・シフト回路 フリップフロップ:非同期信号、同 レジスタ:Nビットレジスタ 機能レジスタと状態遷移回路:シフ 機能レジスタと状態遷移回路:シフ	操作、シミュレーシ 記述、論理合成、 造設計記述、シミ ット加算回路、テ -ストベンチのいろ エンコーダ回路、 3 可期信号	「授業内容」ができ 「授業内容」ができ 「授業内容」ができ 5回の「授業内容」 「授業内容」ができ 「授業内容」ができ 「授業内容」ができ	きる きる きる ができる きる きる	
前期		3週 4週 5週 6週 7週 8週 9週 10週	VHDL記述、VHDLシミュレータの打 ョン 半加算器の設計と実装:半加算器の配置配線、FPGAへの実装 全加算器の設計:全加算器の階層構 ュレーション 加算回路:4ビット加算回路、Nビ ストデータによるテスト 小テスト、まとめ ALU回路:演算回路の自動生成、テ いろ 組み合わせ回路:3ステート回路 デコーダ回路、バレル・シフト回路 フリップフロップ:非同期信号、同 レジスタ:Nビットレジスタ	操作、シミュレーシ の記述、論理合成、 講造設計記述、シミ ット加算回路、テ 	「授業内容」ができる。	きる きる きる ができる きる きる きる	
前期	1stQ 2ndQ	3週 4週 5週 6週 7週 8週 9週 10週 11週 12週	VHDL記述、VHDLシミュレータの ョン 半加算器の設計と実装:半加算器の 配置配線、FPGAへの実装 全加算器の設計:全加算器の階層構 ュレーション 加算回路:4ビット加算回路、Nビ ストデータによるテスト 小テスト、まとめ ALU回路:演算回路の自動生成、テ いろ 組み合わせ回路:3ステート回路 デコーダ回路、バレル・シフト回路 フリップフロップ:非同期信号、同 レジスタ:Nビットレジスタ 機能レジスタと状態遷移回路:シフ 、カウンタ回路、スタック回路、キ 小テスト、まとめ	操作、シミュレーシ の記述、論理合成、 講造設計記述、シミ ット加算回路、テ 	「授業内容」ができる。	きる きる きる ができる きる きる きる きる きる	
前期		3週 4週 5週 6週 7週 8週 9週 10週 11週 12週 13週	VHDL記述、VHDLシミュレータの打 ョン 半加算器の設計と実装:半加算器の配置配線、FPGAへの実装 全加算器の設計:全加算器の階層構 ユレーション 加算回路:4 ビット加算回路、Nビ ストデータによるテスト 小テスト、まとめ ALU回路:演算回路の自動生成、テ いる 組み合わせ回路:3 ステート回路、 デコーダ回路、バレル・シフト回路 ブリップフロップ:非同期信号、同 レジスタ:Nビットレジスタ 機能レジスタと状態遷移回路:シフ 、カウンタ回路、スタック回路、キ 小テスト、まとめ 基本回路設計:VHDLによる4ビット	操作、シミュレーシ 記述、論理合成、 講造設計記述、シミ ット加算回路、テ ・ストベンチのいろ エンコーダ回路、 3 別期信号 クト・レジスタ回路 ・ユー、状態遷移図 トマイコンの設計	「授業内容」ができ 「授業内容」ができ 「授業内容」ができ 5回の「授業内容」ができ 「授業内容」ができ 「授業内容」ができ 「授業内容」ができ 「授業内容」ができ 「授業内容」ができ 「授業内容」ができ 「授業内容」ができ 「授業内容」ができ 「授業内容」ができ	きる きる きる ができる きる きる きる きる きる きる	
前期		3週 4週 5週 6週 7週 8週 9週 10週 11週 12週 13週 14週	VHDL記述、VHDLシミュレータの打っと ヨン 半加算器の設計と実装:半加算器の配置配線、FPGAへの実装 全加算器の設計:全加算器の階層構 ユレーション 加算回路:4ビット加算回路、Nビストデータによるテスト 小テスト、まとめ ALU回路:演算回路の自動生成、テいろ 組み合わせ回路:3ステート回路、デコーダ回路、バレル・シフト回路 デコーダ回路、バレル・シフト回路 ブリップフロップ:非同期信号、同 レジスタ:Nビットレジスタ 機能レジスタと状態遷移回路:シラ、カウンタ回路、スタック回路、スタック回路、スタック回路、キーカーシー・オートのよりによる4ビット 基本回路設計:VHDLによる4ビットをは、カウンタ回路、オートでは、まとめ 基本回路設計:4ビットマイコンの	操作、シミュレーシ 記述、論理合成、	「授業内容」ができ 「授業内容」ができ 「授業内容」ができ 5回の「授業内容」 「授業内容」ができ 「授業内容」ができ 「授業内容」ができ 「授業内容」ができ 「授業内容」ができ 「授業内容」ができ 「授業内容」ができ 「授業内容」ができ 「授業内容」ができ 「授業内容」ができ 「授業内容」ができ	きる きる きる ができる きる きる きる きる きる	
前期		3週 4週 5週 6週 7週 8週 9週 10週 11週 12週 13週 14週 15週	VHDL記述、VHDLシミュレータの打 ョン 半加算器の設計と実装:半加算器の配置配線、FPGAへの実装 全加算器の設計:全加算器の階層構 ユレーション 加算回路:4 ビット加算回路、Nビ ストデータによるテスト 小テスト、まとめ ALU回路:演算回路の自動生成、テ いる 組み合わせ回路:3 ステート回路、 デコーダ回路、バレル・シフト回路 ブリップフロップ:非同期信号、同 レジスタ:Nビットレジスタ 機能レジスタと状態遷移回路:シフ 、カウンタ回路、スタック回路、キ 小テスト、まとめ 基本回路設計:VHDLによる4ビット	操作、シミュレーシ 記述、論理合成、	「授業内容」ができ 「授業内容」ができ 「授業内容」ができ 5回の「授業内容」ができ 「授業内容」ができ 「授業内容」ができ 「授業内容」ができ 「授業内容」ができ 「授業内容」ができ 「授業内容」ができ 「授業内容」ができ 「授業内容」ができ 「授業内容」ができ	きる きる きる ができる きる きる きる きる きる	
	2ndQ	3週 4週 5週 6週 7週 8週 9週 10週 11週 12週 13週 14週 15週 16週	VHDL記述、VHDLシミュレータの持っと  半加算器の設計と実装:半加算器の配置配線、FPGAへの実装 全加算器の設計:全加算器の階層構ュレーション 加算回路:4ビット加算回路、Nビストデータによるテスト 小テスト、まとめ ALU回路:演算回路の自動生成、テいろ 組み合わせ回路:3ステート回路、デコーダ回路、バレル・シフト回路フリップフロップ:非同期信号、同レジスタ:Nビットレジスタ機能レジスタと状態遷移回路:シブ、カウンタ回路、スタック回路、オウンタ回路、スタック回路、キーアスト、まとめ 基本回路設計:VHDLによる4ビット・サービスのでは、100円の路設計:4ビットマイコンので応用回路設計:4ビットマイコンのであるとは、100円の路設計:4ビットマイコンのであるとは、100円の路には、100円の路には、100円の路には、100円の路には、100円の路には、100円の路には、100円の路には、100円の路には、100円の路には、100円の路には、100円のよりには、100	操作、シミュレーシ 記述、論理合成、	「授業内容」ができ 「授業内容」ができ 「授業内容」ができ 5回の「授業内容」 「授業内容」ができ 「授業内容」ができ 「授業内容」ができ 「授業内容」ができ 「授業内容」ができ 「授業内容」ができ 「授業内容」ができ 「授業内容」ができ 「授業内容」ができ 「授業内容」ができ 「授業内容」ができ	きる きる きる ができる きる きる きる きる きる	
モデルニ	2ndQ	3週 4週 5週 6週 7週 8週 9週 10週 11週 11週 13週 14週 15週 16週 キュラム(	VHDL記述、VHDLシミュレータの ョン 半加算器の設計と実装:半加算器の 配置配線、FPGAへの実装 全加算器の設計:全加算器の階層構 ュレーション 加算回路:4ビット加算回路、Nビ ストデータによるテスト 小テスト、まとめ ALU回路:演算回路の自動生成、テ いろ 組み合わせ回路:3ステート回路 デコーダ回路、バレル・シフト回路 ブリップフロップ:非同期信号、同 レジスタ:Nビットレジスタ 機能レジスタと状態遷移回路:シフ 、カウンタ回路、スタック回路、キ 小テスト、まとめ 基本回路設計:VHDLによる4ビット 基本回路設計:4ビットマイコンの 応用回路設計:4ビットマイコンの 応用回路設計:4ビットマイコンの で	操作、シミュレーシ の記述、論理合成、 講造設計記述、シミ ット加算回路、テ ・ストベンチのいろ エンコーダ回路、 ・ストベンチのいろ エンコーダ回路、 ・スト・レジスタ回路 ・スー、状態遷移図 トマイコンの設計 FPGA実装 拡張	「授業内容」ができ 「授業内容」ができ 「授業内容」ができ 5回の「授業内容」 「授業内容」ができ 「授業内容」ができ 「授業内容」ができ 「授業内容」ができ 「授業内容」ができ 「授業内容」ができ 「授業内容」ができ 「授業内容」ができ 「授業内容」ができ 「授業内容」ができ 「授業内容」ができ	きる きる きる ができる きる きる きる きる きる きる	
前期 デルコ デ価割る	2ndQ コアカリ:	3週 4週 5週 6週 7週 8週 9週 10週 11週 12週 13週 14週 15週 16週	VHDL記述、VHDLシミュレータの ョン 半加算器の設計と実装:半加算器の 配置配線、FPGAへの実装 全加算器の設計:全加算器の階層構 ュレーション 加算回路:4ビット加算回路、Nビ ストデータによるテスト 小テスト、まとめ ALU回路:演算回路の自動生成、テ いろ 組み合わせ回路:3ステート回路 デコーダ回路、バレル・シフト回路 ブリップフロップ:非同期信号、同 レジスタ:Nビットレジスタ 機能レジスタと状態遷移回路:シフ 、カウンタ回路、スタック回路、キ 小テスト、まとめ 基本回路設計:VHDLによる4ビット 基本回路設計:4ビットマイコンの 応用回路設計:4ビットマイコンの 応用回路設計:4ビットマイコンの の学習内容と到達目標	操作、シミュレーシ の記述、論理合成、 講造設計記述、シミ ット加算回路、テ ・ストベンチのいろ エンコーダ回路、 ・ストベンチのいろ エンコーダ回路、 ・スト・レジスタ回路 ・スー、状態遷移図 トマイコンの設計 FPGA実装 拡張	「授業内容」ができ 「授業内容」ができ 「授業内容」ができ 5回の「授業内容」 「授業内容」ができ 「授業内容」ができ 「授業内容」ができ 「授業内容」ができ 「授業内容」ができ 「授業内容」ができ 「授業内容」ができ 「授業内容」ができ 「授業内容」ができ 「授業内容」ができ 「授業内容」ができ	きる きる きる ができる きる きる きる きる きる	

総合評価割合	40	30	30	100
専門的能力	40	30	30	100