

舞鶴工業高等専門学校		開講年度	平成28年度 (2016年度)	授業科目	CAD演習 II B
科目基礎情報					
科目番号	0038		科目区分	専門 / 必修	
授業形態	演習		単位の種別と単位数	履修単位: 1	
開設学科	電子制御工学科		対象学年	5	
開設期	後期		週時間数	2	
教科書/教材	指導書を配布する。QuartusII Getting Started Manual, ALTERA ( <a href="http://www.altera.co.jp">http://www.altera.co.jp</a> )				
担当教員	町田 秀和				
到達目標					
<ol style="list-style-type: none"> <li>EDAツールの基本的な操作ができる。</li> <li>デジタル回路のシステム構成ができる。</li> <li>階層設計ができる。</li> <li>シミュレーションのための適切なテストデータ設計ができる。</li> <li>回路図だけでなく、ハードウェア記述言語VHDLでの開発ができる。</li> <li>書き込み可能IC(FPGA)によるプロトタイピングができる。</li> </ol>					
ループリック					
	理想的な到達レベルの目安	標準的な到達レベルの目安	未到達レベルの目安		
1. ICによる基本的な電子制御回路のEDA(電子回路設計自動化ツール)を用いた設計を理解する。	EDAツールでの、階層化設計およびライブラリの活用ができ、さらに性能評価ができる。	デジタル回路系のEDA(CAD)ツールでの、シミュレーション用テストファイルを自分で設けられる。	EDAツールの操作のみが可能で、シミュレーションの手順が理解できない。		
ネットワーク、ツリーおよびビットスライス構成を理解する。	仕様書から、必要な回路要素を指摘し、ネットワーク構成でシステムを構築できる。	基本的な組み合わせ論理回路の入出力端子の役割を把握し、ネットワーク構築が可能になる。	基本的回路要素のシミュレーションしかできない。		
PWMモータドライバ、ロータリエンコーダ・カウンタ等の具体的なシステムの設計法を理解する。	仕様の変更に対応するように、ネットワークシステムを柔軟に構築できる。	システムに必要な回路要素を指摘し、ネットワーク構成できる。	具体的な回路例のシミュレーションしかできない。		
書き込み可能IC(FPGA)によるプロトタイピング方法を理解する。	FPGAのリソースを把握し、乗算器やPLLなどの機能を有効に生かせ、性能評価できる。	FPGAのピンアサインを行え、評価ボードで演習できる。	シミュレーションでは、現実のI/Oデバイスに対応できないことを知る。		
学科の到達目標項目との関係					
(C) (H)					
教育方法等					
概要	<ol style="list-style-type: none"> <li>ICによる基本的な電子制御回路のEDA(電子回路設計自動化ツール)を用いた設計を理解する。</li> <li>組み合わせ回路の基本的要素を理解する。</li> <li>ネットワーク、ツリーおよびビットスライス構成を理解する。</li> <li>同期回路設計法を理解する。</li> <li>PWMモータドライバ、ロータリエンコーダ・カウンタ等の具体的なシステムの設計法を理解する。</li> <li>書き込み可能IC(FPGA)によるプロトタイピング方法を理解する。</li> </ol>				
授業の進め方・方法	演習を中心に授業を進める。講義内容は具体的なパソコンの操作を説明しに指導書によって演習を進める。毎回、一つの課題をこなし、そのシミュレーション結果を適切に説明できることを要求する。				
注意点	<ol style="list-style-type: none"> <li>事前にシラバスを見て指導書の該当箇所を読み、疑問点を明確にする。</li> <li>授業では、指導書のシステムの要求を良く理解し、シミュレーション結果を適切に説明できるようにする。</li> </ol>				
授業計画					
	週	授業内容	週ごとの到達目標		
後期	3rdQ	1週	シラバス内容の説明、資料配布、課題の概要説明	デジタル回路設計をコンピュータを援用して行う方法を把握する。	
		2週	EDAツールのFPGA実現のデモ	実際に使用するEDAツールの操作法を一通り体験する。	
		3週	(1)基本的な組み合わせ回路のガイダンス (1-1)デコーダ	組み合わせ論理回路の概要を理解し、デコーダのツリー接続実現を行える。	
		4週	(1-2) マルチプレクサ	マルチプレクサのツリー接続実現を行え、デコーダとの組み合わせを確認する。	
		5週	(1-3)エンコーダ	エンコーダのイネーブル入出力について把握し、ツリー接続実現を行える。	
		6週	(1-4)インクリ/デクリメンタ、桁上げ先見回路	加算器の基本を確認し、±1する回路と、桁上げ先見回路を確認する。	
		7週	(1-5)加減算器、10進加算器	加算器を応用して、減算器および10進加算器を設計する。	
		8週	(1-6)n-bit入力加算器	n-bitのシリアル入力を、ビットパラレルの2進数に変換する回路を設計する。	
	4thQ	9週	(1-7)10進数/2進数変換器	BCD(2進化10進数)と、2進数の間の変換回路を設計する。	
		10週	(1-8)コンパレータ	ビットスライス接続の専用の大小比較回路を設計する。	
		11週	(2)同期回路の応用例:(2-1)同期回路プリミティブ	同期回路の概要を理解し、1bitレジスタを設計する。	
		12週	(2-1)シンクロナイザ	非同期の入力信号を、システムクロックに同期させる回路を設計する。	
		13週	(2-2)PWMモータドライバの設計	カウンタとコンパレータを用いてPWM信号発生回路を設計する。	
		14週	(2-3)ロータリエンコーダカウンタ設計	ロータリエンコーダのA,B相信号から、回転方向とパルスカウンタを設計する。	
		15週	FPGA評価ボードへのフィッティング	FPGA評価ボードでの演習を行う。	

		16週	動作確認実験とシステム(製品)化へ向けての考察	FPGAによる動作確認を通じて、製品化に向けての問題点を指摘できる。
--	--	-----	-------------------------	------------------------------------

モデルコアカリキュラムの学習内容と到達目標

分類	分野	学習内容	学習内容の到達目標	到達レベル	授業週
専門的能力	機械系分野	製図	CADシステムの役割と構成を説明できる。	4	
			CADシステムの役割と基本機能を理解し、利用できる。	3	
	電気・電子系分野	情報	基本的な論理演算を組み合わせて任意の論理関数を論理式として表現できる。	3	
			MIL記号またはJIS記号を使って図示された組み合わせ論理回路を論理式で表現できる。	6	
			論理式から真理値表を作ることができる。	4	
			論理式をMIL記号またはJIS記号を使って図示できる。	4	

評価割合

	試験	発表	相互評価	態度	ポートフォリオ	その他	合計
総合評価割合	70	15	5	10	0	0	100
基礎的能力	40	5	5	10	0	0	60
専門的能力	20	10	0	0	0	0	30
分野横断的能力	10	0	0	0	0	0	10