

舞鶴工業高等専門学校		開講年度	平成28年度 (2016年度)		授業科目	電子回路Ⅴ	
科目基礎情報							
科目番号	0056		科目区分		専門 / 選択		
授業形態	授業		単位の種別と単位数		履修単位: 1		
開設学科	電子制御工学科		対象学年		5		
開設期	前期		週時間数		2		
教科書/教材	システムLSI設計入門、鈴木五郎、コロナ社						
担当教員	町田 秀和						
到達目標							
1. IC回路によるデジタルシステムの実現方法を提案できる。 2. C-MOSゲートの構造と特性を説明できる。 3. LSIを分類でき、それぞれの適材適所を指摘できる。 4. 基本的な組合せ回路をネットワーク接続して任意の規模の回路を構成できる。 5. 同期式順序回路が自動化設計で有利な事実を指摘できる。 6. 自動化設計(EDA)ツールを駆使した設計ができる。							
ルーブリック							
		理想的な到達レベルの目安		標準的な到達レベルの目安		未到達レベルの目安	
LSIを分類でき、それぞれの適材適所を指摘できる。		セミカスタムLSIの優劣を把握し適材適所を指摘する。またFPGA等、書き込み可能LSIを用いたラビッドプロトタイピングを行える。		ゲートアレー、スタンダードセル、各セミカスタムLSIの特徴を把握し、またFPGA等、書き込み可能LSIについての知見を有する。		LSIの分類名だけを知り、具体的な構造を把握できていない。	
C-MOSゲートの構造と特性を説明できる。		C-MOSゲートの構造だけでなく、遅延時間や熱構造などまで考察できる。		C-MOSによるNAND,NORなどの基本ゲートだけでなく、複合ゲートの構造も把握する。		NMOS,PMOS-FETの動作から、C-MOS構造が構成できない。	
基本的な組合せ回路をネットワーク接続して任意の規模の回路を構成できる。		単純なツリー接続だけでなく、ビットスライス、PLA構造を構築でき、面積、速度的な優劣を把握できる。		マルチプレクサ、デコーダ、エンコーダなどの基本的組み合わせ回路のネットワーク回路を構築できる。		基本的な組み合わせ回路の代表的な、入出力端子名の役割を把握できない。	
同期式順序回路が自動化設計で有利な事実を指摘できる。		同期式順序回路の非同期式に対する有利さを、非同期式の問題点の克服の面から指摘できる。		仕様から、同期式順序回路のステート図、遷移表を作成することができる。		同期式順序回路における、システムクロックおよびDフリップフロップの役割が分からない。	
学科の到達目標項目との関係							
(B)							
教育方法等							
概要		1. LSIで実現するシステムとしてデジタル回路を把握できるようにする。 2. 組合せ回路の基本モジュールとネットワーク構成法を理解する。 3. 非同期式順序回路の問題点と設計法を理解する。 4. 同期式順序回路の自動化設計に有利な事実を理解する。 5. プログラム可能LSI(FPGA)によるプロトタイピングを理解する。					
授業の進め方・方法		講義を中心に授業を進める。、デジタル回路のシステム設計に関する話題を提供し、それについて議論する。講義の間に、重要な内容について5人程度の学生に質問する。講義内容の理解を深めるために、EDAツールを用いたICの開発、プログラム可能LSIによるプロトタイピングを実践する。具体的な設計力を涵養するため、数種類のシステムを開発する課題を与える。					
注意点		1. 事前にシラバスを見て教科書の該当箇所を読み、疑問点を明確にする。 2. 授業では、予習で抱いた疑問を解決するつもりで学習する。黒板の説明はノートにとる。積極的に質問する。 3. 授業で学んだ、基本回路をネットワーク接続して、任意の規模のシステムを構築できるように、EDAツールを併用したトレーニングを行う。					
授業計画							
		週	授業内容		週ごとの到達目標		
前期	1stQ	1週	シラバス内容の説明、使用するEDAツール、応用例紹介		大規模LSIの現状を把握し、設計ツールについて知見を得る。		
		2週	LSIと論理設計		大規模LSIの設計ために、どのような知識が必要かを把握する。		
		3週	組み合わせ論理回路の基礎		組み合わせ論理回路とは何か。また、マルチプレクサなど標準的な回路の役割を把握する。		
		4週	基本ゲートと真理値表およびブール代数		C-MOS基本ゲートを理解する。真理値表の読み方、ブール代数の公理定理を把握する。		
		5週	組み合わせ論理回路の標準積和による表現		真理値表から最小形を回路合成できるようになる。		
		6週	論理関数の簡単化、各種ネットワーク接続		標準組み合わせ回路を用いて、任意の真理値表を実現できる。ネットワーク接続に活用できる。		
		7週	ブール代数演習および復習		ブール代数の公理定理を応用できる。カルノー図との対応関係を理解できる。		
		8週	中間試験フォロー、および学習計画の確認				
	2ndQ	9週	順序回路の基礎		順序回路とは何かを指摘できる。		
		10週	同期回路設計手順の基礎、シンクロナイズ		同期回路の設計手順を、システムクロックとDフリップフロップを基本として把握できる。		
		11週	組み合わせ回路のハザード		静的、動的、関数ハザードの発生原因と除去法を理解する。		
		12週	順序回路のハザード		危険なレーシングにより、誤った状態に陥る可能性のあることを理解する。		
		13週	非同期回路の設計とその問題点の指摘		非同期回路設計では、ハザード、レーシングを避けられないことを理解する。		
		14週	レジスタ、カウンタ		実用的なレジスタ、カウンタと、その応用法を理解する。		
		15週	同期式順序回路設計演習		同期式順序回路の設計手順をフォローできる。		

		16週	期末試験のフォローと、総合評価の説明		試験の内容と、得られた知見を確認する。		
モデルコアカリキュラムの学習内容と到達目標							
分類		分野	学習内容	学習内容の到達目標		到達レベル	授業週
専門的能力	分野別の専門工学	電気・電子系分野	電子回路	FETの特徴と等価回路を説明できる。		2	
			電子工学	真性半導体と不純物半導体を説明できる。		3	
				電界効果トランジスタの構造と動作を説明できる。		2	
			情報	プログラミング言語を用いて基本的なプログラミングができる。		2	
				基本的な論理演算を行うことができる。		3	
				基本的な論理演算を組み合わせて任意の論理関数を論理式として表現できる。		3	
				MIL記号またはJIS記号を使って図示された組み合わせ論理回路を論理式で表現できる。		4	
				論理式から真理値表を作ることができる。		4	
論理式をMIL記号またはJIS記号を使って図示できる。		4					
評価割合							
	試験	発表	相互評価	態度	ポートフォリオ	その他	合計
総合評価割合	70	20	0	10	0	0	100
基礎的能力	30	10	0	5	0	0	45
専門的能力	20	10	0	5	0	0	35
分野横断的能力	20	0	0	0	0	0	20