

舞鶴工業高等専門学校		開講年度	令和02年度 (2020年度)	授業科目	CAD演習ⅡB
科目基礎情報					
科目番号	0207		科目区分	専門 / 必修	
授業形態	演習		単位の種別と単位数	履修単位: 1	
開設学科	電子制御工学科		対象学年	5	
開設期	後期		週時間数	2	
教科書/教材	指導書を配布する。QuartusII Getting Started Manual, ALTERA (http://www.altera.co.jp)				
担当教員	藤司 純一				
到達目標					
<ol style="list-style-type: none"> EDAツールの基本的な操作ができる。 デジタル回路のシステム構成ができる。 階層設計ができる。 シミュレーションのための適切なテストデータ設計ができる。 回路図だけでなく、ハードウェア記述言語VHDLでの開発ができる。 書き込み可能IC(FPGA)によるプロトタイピングができる。 					
ルーブリック					
	理想的な到達レベルの目安	標準的な到達レベルの目安	未到達レベルの目安		
評価項目1	EDAツールでの階層化設計およびライブラリの活用ができ、さらに性能評価ができる。	デジタル回路系のEDA(CAD)ツールでのシミュレーション用テストファイルを、自分で設定できる。	デジタル回路系のEDA(CAD)ツールでのシミュレーション用テストファイルを、自分で設定できない。		
評価項目2	仕様書から必要な回路要素を指摘し、ネットワーク構成でシステムを構築できる。	基本的な組み合わせ論理回路の入出力端子の役割を把握し、ネットワーク構築ができる。	基本的な組み合わせ論理回路の入出力端子の役割を把握できず、ネットワーク構築ができない。		
評価項目3	仕様の変更に対応するように、ネットワークシステムを柔軟に構築できる。	システムに必要な回路要素を指摘し、ネットワーク構成できる。	システムに必要な回路要素を指摘できず、ネットワーク構成できない。		
評価項目4	FPGAのリソースを把握し、乗算器やPLLなどの機能を有効に生かして性能評価ができる。	FPGAのピンアサインを行え、評価ボードで演習できる。	FPGAのピンアサインを行えず、評価ボードで演習できない。		
評価項目5	回路図だけでなく、ハードウェア記述言語VHDLでの開発ができる。	ハードウェア記述言語VHDLの概要を知っている。	ハードウェア記述言語VHDLの存在を知らない。		
評価項目6	書き込み可能IC(FPGA)によるプロトタイピングができる。	書き込み可能IC(FPGA)に書き込んだことがある。	書き込み可能IC(FPGA)の存在を知らない。		
学科の到達目標項目との関係					
学習・教育到達度目標 (C) 学習・教育到達度目標 (H)					
教育方法等					
概要	【授業目的】 <ol style="list-style-type: none"> ICによる基本的な電子制御回路のEDA(電子回路設計自動化ツール)を用いた設計を理解する。 組み合わせ回路の基本的要素を理解する。 ネットワーク、ツリーおよびビットスライス構成を理解する。 同期回路設計法を理解する。 PWMモータドライバ、ロータリエンコーダ・カウンタ等の具体的なシステムの設計法を理解する。 書き込み可能IC(FPGA)によるプロトタイピング方法を理解する。 				
授業の進め方・方法	【授業方法】 演習を中心に授業を進める。指導書に沿ってEDAツールの操作し、デジタル回路設計を理解する。毎回一つ以上の課題を与え、講義内容とシミュレーション結果を適切に説明できるか確認する。 【学習方法】 <ol style="list-style-type: none"> EDAツールを用いた演習を行う。 講義内容の理解を深めるために、授業に関連したレポート課題を与えて提出を求める。 				
注意点	【定期試験の実施方法】 原則として定期試験は行わない。演習課題およびレポートの提出をもって定期試験に替える。 【履修上の注意】 <ul style="list-style-type: none"> 事前にシラバスを見て指導書の該当箇所を読み、疑問点を明確にする。 授業では、指導書のシステムの要求を良く理解し、シミュレーション結果を適切に説明できるようにする。 【成績の評価方法・評価基準】 各課題のシミュレーション結果の波形図面の提出状況(70%)および回路動作の説明具合(30%)を勘案し、到達目標の到達度を評価する。60%以上の到達度をもって合格(C以上)とする。 【教員の連絡先】 教員名 藤司 純一 研究室 A棟3階 (A-320) 内線電話 8951 e-mail: j.touji@attマークmaizuru-ct.ac.jp(アットマークは@に変えること。)				
授業計画					
	週	授業内容	週ごとの到達目標		
後期	3rdQ	1週	シラバス内容の説明、資料配布、課題の概要説明	1	
		2週	EDAツールのFPGA実現のデモ	1	
		3週	(1)基本的な組み合わせ回路のガイダンス (1-1)デコーダ	2	
		4週	(1-2) マルチプレクサ	3	
		5週	(1-3)エンコーダ	3	

4thQ	6週	(1-4)インクリ/デクリメンタ、桁上げ先見回路	3
	7週	(1-5)加減算器、10進加算器	3
	8週	(1-6)n-bit入力加算器	3
	9週	(1-7)10進数/2進数変換器	3
	10週	(1-8)コンパレータ	3
	11週	(2)同期回路の応用例：(2-1)同期回路プリミティブ	4
	12週	(2-1)シンクロナイザ	4
	13週	(2-2)PWMモータドライバの設計	5
	14週	(2-3)ロータリエンコーダカウンタ設計	5
	15週	FPGA評価ボードへのフィッティング	5, 6
	16週		

評価割合

	試験	発表	相互評価	態度	ポートフォリオ	その他	合計
総合評価割合	70	20	0	0	10	0	100
基礎的能力	0	0	0	0	0	0	0
専門的能力	70	20	0	0	10	0	100
分野横断的能力	0	0	0	0	0	0	0