

津山工業高等専門学校	開講年度	令和04年度 (2022年度)	授業科目	電気電子工学応用	
科目基礎情報					
科目番号	0035	科目区分	専門 / 選択		
授業形態	講義	単位の種別と単位数	学修単位: 2		
開設学科	情報工学科	対象学年	5		
開設期	前期	週時間数	2		
教科書/教材	教科書: 国枝博昭「集積回路設計入門」(コロナ社) 参考書: 並木秀明ほか「実用入門デジタル回路とVerilog-HDL」(技術評論社)				
担当教員	河合 雅弘				
到達目標					
学習目標: 集積回路設計の基本的な考え方や開発ツールを理解することで、集積回路に関するデザイン基礎能力や社会的影響力を習得する。					
到達目標 1. 集積回路に使われる素子の構造と特性, 設計, 製造全般に関する基礎知識を習得すること。 2. 集積回路に使われる回路設計, 論理設計の知識を習得すること。 3. 集積回路が社会に及ぼす影響力を習得すること。					
ルーブリック					
	優	良	可	不可	
評価項目1	MOSトランジスタの製造法や特性を理解し, 参考資料に基づいてより詳細に各パラメータや遅延特性などを導出することができる。	MOSトランジスタの製造法や特性を理解し, 参考資料に基づいてより詳細に各パラメータや遅延特性などを計算することができる。	MOSトランジスタの製造法や特性を理解し, 参考資料に基づいて各パラメータを計算することができる。	左記に達していない。	
評価項目2	MOSトランジスタを使ったレジスタレベルの設計を理解し, 複雑な論理回路のレイアウト設計までできる。	MOSトランジスタを使ったレジスタレベルの設計を理解し, 簡単な論理回路のレイアウト設計までできる。	MOSトランジスタを使ったレジスタレベルの設計を理解し, 簡単な論理ゲートを設計できる。	左記に達していない。	
評価項目3	集積回路が社会に及ぼした影響を調べ, 歴史を踏まえて自分なりの考察を行い報告書にまとめることができる。	集積回路が社会に及ぼした影響を調べ, 自分なりの考察を行い報告書にまとめることができる。	集積回路が社会に及ぼした影響を調べ, 感想とともに報告書にまとめることができる。	左記に達していない。	
学科の到達目標項目との関係					
教育方法等					
概要	<p>一般・専門の別: 専門 学習の分野: 電気電子</p> <p>基礎となる学問分野: 工学/電気電子工学およびその関連分野/電子デバイスおよび電子機器関連</p> <p>学科学習目標との関連: 本科目は情報工科学習目標「(2) 情報・制御ならびに電気・電子の分野に関する専門技術分野の知識を修得し, 情報・通信等の分野に応用できる能力を身につける。」に相当する科目である。</p> <p>技術者教育プログラムとの関連: 本科目が主体とする学習・教育到達目標は「(A) 技術に関する基礎知識の深化, A-2: 「電気・電子」, 「情報・制御」に関する専門技術分野の知識を修得し, 説明できること」である。</p> <p>授業の概要: 集積回路について学ぶ。集積回路は, 電化製品を始め日常使用する多くの電子機器に使われており, 今後ますます様々な集積回路の開発が必要となる。本科目では, 現在主流となっているCMOSデジタル回路の設計に関する基礎知識を主に学習する。</p>				
授業の進め方・方法	<p>授業の方法: 板書を中心に集積回路に必要とされる素子の特性や回路の構成, 設計法について講義する。前期のみの科目である。 (授業時間外の学習内容) ・幅広い分野であるため, 授業だけで深く理解できない。このため, 関連する分野に関して課題レポートを課す。 ・集積回路は産業構造を大きく変える役割を演じてきた。このため, 関連する分野に関して課題レポートを課す。</p> <p>成績評価方法: 2回の定期試験の結果を同等に評価する(80%)。 ・各試験はノートの持ち込みを許可しない。 ・各定期試験の結果が60点未満の人には補習, 再試験により理解が確認できれば, 点数を変更することがある。ただし, 変更した後の評価は60点を超えないものとする。 演習・レポート課題で評価する(20%)。</p>				
注意点	<p>履修上の注意: 本科目は「授業時間外の学修を必要とする科目」である。当該授業時間と授業時間外の学修を合わせて, 1単位あたり45時間の学修が必要である。授業時間外の学修については, 担当教員の指示に従うこと。</p> <p>履修のアドバイス: 集積回路の発展の歴史を通して, 技術的観点とビジネス的観点の両面から発想法についても学んでほしい。</p> <p>受講上のアドバイス: 聞きなれない専門用語に戸惑うかもしれないが, この分野の考え方を理解し, 習得すること。遅刻は授業時間(=2コマ)の4分の1(=0.5コマ)刻みで取り扱う。</p>				
授業の属性・履修上の区分					
<input type="checkbox"/> アクティブラーニング <input type="checkbox"/> ICT 利用 <input type="checkbox"/> 遠隔授業対応 <input type="checkbox"/> 実務経験のある教員による授業					
履修選択					
授業計画					
	週	授業内容	週ごとの到達目標		
前期	1stQ	1週	ガイダンス, 集積回路 ・授業の概要 ・集積回路の設計と製造, 分類	・授業の概要を理解する ・集積回路の設計と製造および分類について理解する	
		2週	MOSトランジスタ ・MOSトランジスタとプロセス	・MOSトランジスタの構造と製造プロセスについて理解する	
		3週	集積回路の基本素子 ・モノリシック抵抗とモノリシック容量	・モノリシック抵抗とモノリシック容量について理解する	

2ndQ	4週	集積回路の基本素子 ・MOSトランジスタの特性および伝送ゲート	・MOSトランジスタの特性および伝送ゲートについて理解する
	5週	回路設計 ・論理ゲートとCMOSインバータ	・論理ゲートとCMOSインバータの特性について理解する
	6週	回路設計 ・NANDおよびNORゲート	・NANDおよびNORゲートについて理解する
	7週	回路設計 ・スタティック論理回路	・相補型論理回路について理解する
	8週	中間試験	・中間までの内容を試験し合格レベルの評価点を得られるようにする
	9週	中間試験の答案返却と解説	・中間試験の答案と解答例を確認する
	10週	回路設計 ・ダイナミック論理回路	・プリチャージ論理回路とドミノ論理回路を理解する
	11週	論理設計 ・加算回路とALU	・加算器とALUの構成を理解する
	12週	論理設計 ・メモリ機能とレジスタ	・メモリ機能とレジスタの構成を理解する
	13週	Verilog-HDL ・文法と構造	・Verilog-HDLの文法と構造を理解する
	14週	Verilog-HDL ・設計	・簡単な論理回路を対象にVerilog-HDLによる設計を理解する
	15週	期末試験	・期末までのすべての内容について試験を行い合格レベルの評価点を得られるようにする
	16週	期末試験の答案返却と解説	・期末試験の答案と解答例を確認する

モデルコアカリキュラムの学習内容と到達目標

分類	分野	学習内容	学習内容の到達目標	到達レベル	授業週
専門的能力	分野別の専門工学	情報系分野 その他の学習内容	トランジスタなど、デジタルシステムで利用される半導体素子の基本的な特徴について説明できる。	4	

評価割合

	試験	発表	相互評価	自己評価	課題	小テスト	合計
総合評価割合	80	0	0	0	20	0	100
基礎的能力	0	0	0	0	0	0	0
専門的能力	80	0	0	0	20	0	100
分野横断的能力	0	0	0	0	0	0	0