

呉工業高等専門学校	開講年度	平成28年度 (2016年度)	授業科目	I C 設計工学
-----------	------	-----------------	------	----------

科目基礎情報				
科目番号	0030	科目区分	専門 / 選択必修	
授業形態	講義	単位の種別と単位数	履修単位: 1	
開設学科	電気情報工学科	対象学年	4	
開設期	前期	週時間数	2	
教科書/教材				
担当教員	児島 彰			

到達目標				
1. HDLによる回路設計の流れを理解する。 2. Verilog HDLの文法の基礎を学習する。 3. 開発ソフトの操作方法とFPGAへの実装方法を習得する。 4. 基本的な組み合わせ回路と順序回路のHDL設計を演習する。 4. やや複雑な順序回路のHDL設計を演習する。 5. シミュレータを使った設計検証の基礎を習得する。 6. 回路の性能評価と回路の改良について学習する。 7. ステートマシンなど、より複雑な応用回路のHDL設計を演習する。				

ルーブリック				
	理想的な到達レベルの目安	標準的な到達レベルの目安	未到達レベルの目安	
評価項目1	基本的な組み合わせ回路と順序回路のHDL設計を適切に演習できる	基本的な組み合わせ回路と順序回路のHDL設計を演習できる	基本的な組み合わせ回路と順序回路のHDL設計を演習できない	
評価項目2	ステートマシンなど、より複雑な応用回路のHDL設計を適切に演習できる	ステートマシンなど、より複雑な応用回路のHDL設計を演習できる	ステートマシンなど、より複雑な応用回路のHDL設計を演習できない	
評価項目3				

学科の到達目標項目との関係

教育方法等

概要	現在、大規模デジタル回路設計の主流である、ハードウェア記述言語(HDL)によるデジタル回路の設計手法を学ぶ科目である。			
授業の進め方・方法	講義を基本とし、開発ソフトを用いて回路設計、シミュレーション、FPGAボードで実機演習を行う。試験は定期試験を行う。			
注意点	情報機器だけでなく家電製品でも広く使われている大規模デジタル I C を設計する方法として、現在はHDLによる方法が主流となっている。将来、ハードウェア開発に関係した仕事するためには、HDLによる I C 設計の基礎を学ぶことは重要である。HDLはプログラミング言語ではあるが、ハードウェアを設計していることと、回路イメージとの対応を忘れることなく、学習して欲しい。			

授業計画

	週	授業内容	週ごとの到達目標	
前期	1stQ	1週	I C 設計の現状とHDLによる回路設計の流れ	I C 設計の現状とHDLによる回路設計の流れを理解する。
		2週	Verilog HDLの基礎	Verilog HDLの基礎を学ぶ。
		3週	Verilog HDLの基礎	Verilog HDLの基礎を学ぶ。
		4週	Verilog HDLの基礎	Verilog HDLの基礎を学ぶ。
		5週	Verilog HDLによるデジタル回路設計	Verilog HDLによるデジタル回路設計を行う。
		6週	Verilog HDLによるデジタル回路設計	Verilog HDLによるデジタル回路設計を行う。
		7週	中間試験	
		8週	答案返却・解答説明	
	2ndQ	9週	Verilog HDLによるデジタル回路設計	FPGAボードを使って、実機上での設計演習を行う
		10週	Verilog HDLによるデジタル回路設計	FPGAボードを使って、実機上での設計演習を行う
		11週	Verilog HDLによるデジタル回路設計	FPGAボードを使って、実機上での設計演習を行う
		12週	Verilog HDLによるデジタル回路設計	FPGAボードを使って、実機上での設計演習を行う
		13週	Verilog HDLによるデジタル回路設計	FPGAボードを使って、実機上での設計演習を行う
		14週	Verilog HDLによるデジタル回路設計	FPGAボードを使って、実機上での設計演習を行う
		15週	答案返却・解答説明	
		16週		

モデルコアカリキュラムの学習内容と到達目標

分類	分野	学習内容	学習内容の到達目標	到達レベル	授業週
専門的能力	分野別の専門工学	電気・電子系分野	情報	プログラミング言語を用いて基本的なプログラミングができる。	4

評価割合

	試験	発表	相互評価	態度	ポートフォリオ	その他	合計
総合評価割合	70	0	0	0	30	0	100
基礎的能力	0	0	0	0	0	0	0
専門的能力	70	0	0	0	30	0	100
分野横断的能力	0	0	0	0	0	0	0