

呉工業高等専門学校		開講年度	平成31年度 (2019年度)	授業科目	I C 設計工学	
科目基礎情報						
科目番号	0259		科目区分	専門 / 選択必修 / 選択		
授業形態	講義		単位の種別と単位数	履修単位: 1		
開設学科	電気情報工学科		対象学年	4		
開設期	前期		週時間数	2		
教科書/教材						
担当教員	横沼 実雄					
到達目標						
1. Verilog HDLの文法基礎および回路設計の流れを理解する。 2. 開発ソフトの操作方法およびFPGAへの実装方法を習得し、理解する。 3. 順序回路、組み合わせ回路、ステートマシン等のHDL設計を習得し、理解する。 4. シミュレータを使った基礎的な設計検証方法を習得し、理解する。						
ループリック						
	理想的な到達レベルの目安		標準的な到達レベルの目安		未到達レベルの目安	
評価項目1	Verilog HDLの文法基礎および回路設計の流れを適切に理解できる。		Verilog HDLの文法基礎および回路設計の流れを理解できる。		Verilog HDLの文法基礎および回路設計の流れを理解できない。	
評価項目2	開発ソフトの操作方法およびFPGAへの実装方法を高いレベルで習得し、その意味を適切に理解できる。		開発ソフトの操作方法およびFPGAへの実装方法を習得し、その意味を理解できる。		開発ソフトの操作方法およびFPGAへの実装方法を習得できない、あるいはその意味を理解できない。	
評価項目3	順序回路、組み合わせ回路、ステートマシン等のHDL設計を高度に習得し、その内容を適切に理解できる。		順序回路、組み合わせ回路、ステートマシン等のHDL設計を習得し、内容を理解できる。		順序回路、組み合わせ回路、ステートマシン等のHDL設計を習得できない、あるいは内容を理解できない。	
学科の到達目標項目との関係						
学習・教育到達度目標 本科の学習・教育目標 (HC)						
教育方法等						
概要	現在、大規模デジタル回路設計の主流である、ハードウェア記述言語(HDL)によるデジタル回路の設計手法を学ぶ科目である。					
授業の進め方・方法	講義を基本とし、開発ソフトを用いて回路設計、シミュレーション、FPGAボードで実機演習を行う。試験は定期試験を行う。					
注意点	3 学年の情報処理Ⅲの後半で学んだ論理回路の基礎を発展させるための科目である。また、HDLによるデジタル設計の習得には、論理回路だけでなく、C言語などのプログラミング言語の知識が必要である。基礎的な論理回路とC言語を十分習得した後に受講すること。					
授業計画						
		週	授業内容	週ごとの到達目標		
前期	1stQ	1週	I C 設計の現状とHDLによる回路設計の流れ	I C 設計の現状とHDLによる回路設計の流れを理解する。		
		2週	Verilog HDLの基礎 I	Verilog HDLの基本的なコマンド、記述を理解する。		
		3週	Verilog HDLの基礎 II	Verilog HDLの基本的なコマンド、記述を理解する。		
		4週	Verilog HDLの基礎 III	Verilog HDLの基本的なコマンド、記述を理解する。		
		5週	Verilog HDLによるデジタル回路設計 I	Verilog HDLによるデジタル回路設計 (組み合わせ回路) を習得し、理解する。		
		6週	Verilog HDLによるデジタル回路設計 II	Verilog HDLによるデジタル回路設計 (組み合わせ回路) を習得し、理解する。		
		7週	中間試験			
		8週	答案返却・解答説明			
	2ndQ	9週	Verilog HDLによるデジタル回路設計 III	Verilog HDLによるデジタル回路設計 (順序回路) を習得し、理解する。		
		10週	Verilog HDLによるデジタル回路設計 IV	Verilog HDLによるデジタル回路設計 (順序回路) を習得し、理解する。		
		11週	Verilog HDLによるデジタル回路設計 V	Verilog HDLによるデジタル回路設計 (トレードオフ問題を考慮した設計) を習得し、理解する。		
		12週	Verilog HDLによるデジタル回路設計 VI	Verilog HDLによるデジタル回路設計 (シミュレータを用いた動作検証) を習得し、理解する。		
		13週	Verilog HDLによるデジタル回路設計 VII	Verilog HDLによるデジタル回路設計 (ステートマシン) を習得し、理解する。		
		14週	Verilog HDLによるデジタル回路設計 VIII	Verilog HDLによるデジタル回路設計 (ステートマシンの応用回路) を習得し、理解する。		
		15週	答案返却・解答説明			
		16週				
モデルコアカリキュラムの学習内容と到達目標						
分類	分野	学習内容	学習内容の到達目標	到達レベル	授業週	
専門的能力	分野別の専門工学	電気・電子系分野	電子回路	ダイオードの特徴を説明できる。	3	後1
				バイポーラトランジスタの特徴と等価回路を説明できる。	3	後1
				FETの特徴と等価回路を説明できる。	3	後1
				利得、周波数帯域、入力・出力インピーダンス等の増幅回路の基礎事項を説明できる。	4	後1
				トランジスタ増幅器のバイアス供給方法を説明できる。	3	後1

			演算増幅器の特性を説明できる。	3	後5,後6
			演算増幅器を用いた基本的な回路の動作を説明できる。	3	後5,後6
			発振回路の特性、動作原理を説明できる。	3	後8,後9,後10
			変調・復調回路の特性、動作原理を説明できる。	3	後8,後9,後10

評価割合

	試験	発表	相互評価	態度	ポートフォリオ	その他	合計
総合評価割合	70	0	0	0	30	0	100
基礎的能力	0	0	0	0	0	0	0
専門的能力	70	0	0	0	30	0	100
分野横断的能力	0	0	0	0	0	0	0