

徳山工業高等専門学校		開講年度	令和04年度 (2022年度)		授業科目	情報電子工学専攻総合実験	
科目基礎情報							
科目番号	0002			科目区分	専門 / 必修		
授業形態	実験			単位の種別と単位数	学修単位: 2		
開設学科	情報電子工学専攻			対象学年	専1		
開設期	後期			週時間数	2		
教科書/教材	Experiment of Computer Science and Electronic Engineering (https://github.com/tctsigemura/ExpCsEe)						
担当教員	重村 哲至						
到達目標							
1. 製作すべき製品をよく理解し、チームで協力して、効率の良い設計ができる。 2. チームで協力して、効率的に実装できる。 3. 実験の完遂までの過程を通して、ものづくりに必要な、チームワーク力とデザイン能力を身に付ける。							
ルーブリック							
	理想的な到達レベルの目安			標準的な到達レベルの目安		未到達レベルの目安	
1. 製作すべき製品をよく理解し、チームで協力して、効率の良い設計ができる。	効率の良い合理的な設計ができる。			設計ができる。		設計できない。	
2. チームで協力して、効率的に実装できる。	完成させるだけでなく、十分なテストができる。			実装を完成できる。		実装を完成できない。	
3. ものづくりに必要な、チームワーク力とデザイン能力を身に付ける。	チームワーク力とデザイン能力が発揮できる。			チームワーク力とデザイン能力の必要性を理解できる。		チームワーク力とデザイン能力の必要性を理解できない。	
学科の到達目標項目との関係							
到達目標 B 1 JABEE e JABEE i							
教育方法等							
概要	情報電子工学における理論を具現化する手法を実験を通じて体験することで、基礎的知識の確認と総合的な理解を深めることを目指す。 ここでは、ハードウェア記述言語（VHDL）を用いた計算機のCPU実装を実験テーマとして挙げる。 受講者はチームで協力し(1)内部アーキテクチャをデザインし、(2)回路に実装する過程を通じ、(3)ものづくりににおけるチームワークとデザインの重要性を体感してもらう。						
授業の進め方・方法	使用できる機材を理解し、その制約下で与えられた課題を解決するために、チームで協力して実験を遂行する。 まず、制約と課題の詳細（CPUの仕様）を理解する。 次に、チームで協力し設計とレビュー会を繰り返し効率的な内部アーキテクチャの設計を完成する。 更に、チーム構成員で分担して設計をハードウェア記述言語で実装し動作テストを行う。 最後に成果発表会で結果のプレゼンを行うとともに成果レポートにまとめ担当教員に提出する。 計画、設計、実装、設計レビュー会の準備、成果レポートの作成に30時間程度の時間外学習を要する。						
注意点	チームで設計・実装を行うので、チームワーク力とデザイン能力の両方が一定の水準以上でなければ実験の遂行は不可能である。 実験を遂行し十分な成果を示すことで、チームワーク力とデザイン能力の両方が水準を満たすとみなす。 最終成績＝成果物の完成度評価（40点満点）＋成果発表会評価（20点満点）＋レポート評価（40点満点）						
授業の属性・履修上の区分							
☐ アクティブラーニング		☒ ICT 利用		☐ 遠隔授業対応		☐ 実務経験のある教員による授業	
授業計画							
		週	授業内容		週ごとの到達目標		
後期	3rdQ	1週	実験の概要、作成するTeC-CPUと従来のTeC-CPUの解説 【事前事後学習の内容（1時間）】理解度テスト		1. 新しく設計するTeC-CPUの設計目標を説明できる。 2. 従来のTeC-CPUのデータバスと制御手順を説明できる。 3. 機械語命令をマイクロ操作で組立てることができる。		
		2週	データバス設計（1） 【事前事後学習の内容（2時間）】データバス考案		1. FPGA上で使用できるRAMの仕様を説明できる。 2. 効率の良いTeC-CPUのデータバスを考察できる。		
		3週	データバス設計（2） 【事前事後学習の内容（2時間）】レビュー会準備		1. 新しいTeC-CPUのデータバス設計を完成できる。 2. 自分で設計できない場合は教員の設計したものを理解し説明できる。		
		4週	設計レビュー会 【事前事後学習の内容（2時間）】レビュー会結果による設計見直し		1. 自分が採用したTeC-CPUのデータバスを説明できる。 2. 他の学生が設計したTeC-CPUのデータバスを理解し疑問点や改善点を議論できる。 3. 自分が採用した設計について指摘された改善点を取り入れ、更に、制御信号を書き加え設計を詳細化する。		
		5週	ステートマシン設計（1） 【事前事後学習の内容（2時間）】ステートマシン設計		1. 自分の採用したデータバスで機械語命令を実行するためのマイクロ操作列を決めることができる。		
		6週	ステートマシン設計（2） 【事前事後学習の内容（2時間）】レビュー会準備		1. 各命令のマイクロ操作列を集め、命令フェッチから始まる全体の列をイメージできる。 2. 1. をステートマシン図で表現できる。		
		7週	設計レビュー会 【事前事後学習の内容（2時間）】レビュー会結果による設計見直し		1. 自分が採用したTeC-CPUの制御手順を説明できる。 2. 他の学生が設計したTeC-CPUの制御手順を理解し疑問点や改善点を議論できる。 3. 自分が採用した設計について指摘された改善点を取り入れ設計を詳細化する。		
		8週	VHDLと開発環境、データバス実装（1） 【事前事後学習の内容（2時間）】実装作業		1. 本科4年生で使用した開発環境とVHDLを思い出す。 2. VHDLを用いてデータバスを記述できる。		

4thQ	9週	データベース実装（2） 【事前事後学習の内容（2時間）】実装作業	1. VHDLを用いてデータベースの記述を完成できる。
	10週	ステートマシン実装（1） 【事前事後学習の内容（2時間）】実装作業	1. ステートマシンを実現する順序回路の構造を説明できる。
	11週	ステートマシン実装（2） 【事前事後学習の内容（3時間）】実装の完成	1. ステートマシンを実現する順序回路をVHDLで記述できる。
	12週	テスト（1） 【事前事後学習の内容（2時間）】テスト項目検討	1. 適切なテスト項目を決めることができる。
	13週	テスト（2） 【事前事後学習の内容（2時間）】テスト実施	1. 手順を決めテストができる。 2. テスト結果から設計・実装の変更ができる。
	14週	レポート、プレゼン作成 【事前事後学習の内容（2時間）】成果発表会準備	1. 適切なレポートを作成できる。 2. 適切なプレゼン資料を作成できる。
	15週	成果発表会 【事前事後学習の内容（2時間）】最終レポート作成	1. 自分の設計・実装・テストについて分かりやすく説明できる。 2. 他の学生のプレゼンを理解し適切な議論ができる。
	16週	後片付け・最終レポート提出	

モデルコアカリキュラムの学習内容と到達目標

分類	分野	学習内容	学習内容の到達目標	到達レベル	授業週
分野横断的能力	態度・志向性(人間力)	態度・志向性	態度・志向性	チームで協調・共同することの意義・効果を認識している。	4 後2,後3,後4,後5,後6,後7,後8,後9,後10,後11,後12,後13,後14,後15,後16
				チームで協調・共同するために自身の感情をコントロールし、他者の意見を尊重するためのコミュニケーションをとることができる。	4 後2,後3,後4,後5,後6,後7,後8,後9,後10,後11,後12,後13,後14,後15
				当事者意識をもってチームでの作業・研究を進めることができる。	4 後2,後3,後4,後5,後6,後7,後8,後9,後10,後11,後12,後13,後14,後15
				チームのメンバーとしての役割を把握した行動ができる。	4 後2,後3,後4,後5,後6,後7,後8,後9,後10,後11,後12,後13,後14,後15
	総合的な学習経験と創造的思考力	総合的な学習経験と創造的思考力	総合的な学習経験と創造的思考力	要求に適合したシステム、構成要素、工程等の設計に取り組むことができる。	3 後2,後3,後4,後5,後6,後7,後8,後9,後10,後11,後12,後13,後14,後15
				課題や要求に対する設計解を提示するための一連のプロセス(課題認識・構想・設計・製作・評価など)を実践できる。	3 後2,後3,後4,後5,後6,後7,後8,後9,後10,後11,後12,後13,後14,後15
				提案する設計解が要求を満たすものであるか評価しなければならないことを把握している。	3 後12,後13,後14,後15

評価割合

	完成度	成果発表	レポート	合計
総合評価割合	40	20	40	100
デザイン能力	20	10	20	50
チームワーク	20	10	20	50