

香川高等専門学校		開講年度	平成29年度 (2017年度)		授業科目	ディジタル回路Ⅱ	
科目基礎情報							
科目番号	0080			科目区分	専門 / 必修		
授業形態	授業			単位の種別と単位数	履修単位: 2		
開設学科	電子システム工学科 (2018年度以前入学者)			対象学年	3		
開設期	通年			週時間数	2		
教科書/教材	教科書: 木村誠聡著「ハードウェア記述言語によるディジタル回路設計の基礎」理数工学社,参考書: 浜辺隆二著「論理回路入門」 森北出版						
担当教員	月本 功						
到達目標							
1.論理ゲートを構成する回路動作を理解している。 2.VHDL による回路記述の基本を知っている。また、記述することができる。 3.VHDLで簡単な組合せ回路を設計できる。 4.VHDLで簡単な順序回路を設計できる。							
ルーブリック							
	理想的な到達レベルの目安		標準的な到達レベルの目安		未到達レベルの目安		
評価項目1	論理ゲートを構成する回路動作を説明できる。		論理ゲートを構成する回路動作を知っている。		論理ゲートを構成する回路動作を理解していない。		
評価項目2	VHDL による回路記述の基本を知っており、記述することができる。		VHDL による回路記述の基本を知っている。		VHDL による回路記述の基本を知らない。		
評価項目3	VHDLで簡単な組合せ回路を設計できる。		VHDLで簡単な組合せ回路を記述できる。		VHDLで簡単な組合せ回路を記述できない。		
評価項目4	VHDLで簡単な順序回路を設計できる。		VHDLで簡単な順序回路を記述できる。		VHDLで簡単な順序回路を記述できない。		
学科の到達目標項目との関係							
教育方法等							
概要	単純な論理回路の動作を理解し,論理回路の設計に必要な基礎力を養う。また,ハードウェア記述言語であるVHDLを学習することで,LSIの設計手法についての理解を深める。						
授業の進め方・方法	前期前半は,ディジタル回路を構成する電気・電子回路の基礎を学習する。前期後半以降は, 代表的なハードウェア記述言語のVHDLによるLSI設計の基礎を学ぶとともに, VHDLによる回路設計演習を行い, 習熟度を増すようトレーニングする。また, 適宜小テストを行う。						
注意点	オフィスアワー: 毎火曜放課後～17:00						
授業計画							
		週	授業内容		週ごとの到達目標		
前期	1stQ	1週	ディジタル回路の現状		ディジタル回路の現状を知っている。		
		2週	パルス波形		パルス波形の立上がり時間, 立下がり時間, 遅延時間の定義を知っている。		
		3週	CR微分回路		CR微分回路の各部波形形状と理論式を理解できる。		
		4週	CR積分回路		CR積分回路の各部波形形状と理論式を理解できる。		
		5週	論理ゲート内部回路		論理ゲート内部回路による分類と特徴を知っている。		
		6週	CMOS回路の基本		CMOS回路の基本構成を知っている。		
		7週	CMOS NAND回路とNOR回路		CMOS NAND回路とNOR回路の動作を理解できる。		
		8週	前期中間試験				
	2ndQ	9週	VHDL記述の基本構成		entityとarchitectureを理解できる。		
		10週	VHDL記述の基本構成		データの型と値, 記述上の制約を理解できる。		
		11週	VHDL記述の基本構成		階層設計を理解できる。componentとportmapを理解できる。		
		12週	VHDLの同時処理文		同時処理を理解し, 記述できる。		
		13週	VHDLの順次処理文		同時処理文と順次処理文の違いを理解できる。		
		14週	VHDLの順次処理文		if文を理解し, 記述できる。		
		15週	VHDLの順次処理文		case文を理解し, 記述できる。		
		16週	前期期末試験				
後期	3rdQ	1週	試験返却と解説, テストベンチ		テストベンチを理解できる。		
		2週	テストベンチ		テストベンチを記述できる。		
		3週	VHDLによるマルチプレクサ記述		マルチプレクサを記述できる。		
		4週	VHDLによるマルチプレクサ記述		テストベンチを記述し, マルチプレクサの動作検証ができる。		
		5週	VHDLによる7セグメントデコーダ記述		7セグメントデコーダを記述できる。		
		6週	VHDLによる7セグメントデコーダ記述		テストベンチを記述し, 7セグメントデコーダ記述の動作検証ができる。		
		7週	VHDLによるSR-FF記述		SR-FFを記述できる。		
		8週	後期中間試験				
	4thQ	9週	VHDLによるSR-FF記述		テストベンチを記述し, SR-FFの動作検証ができる。		
		10週	VHDによるカウンタ記述カウンタ		カウンタを記述できる。		
		11週	VHDによるカウンタ記述		テストベンチを記述し, カウンタの動作検証ができる。		
		12週	VHDによるシフトレジスタ記述		シフトレジスタを記述できる。		

		13週	VHDによるシフトレジスタ記述	テストベンチを記述し、シフトレジスタの動作検証ができる。		
		14週	VHDによる60進BCDカウンタ記述	60進BCDカウンタを記述できる。		
		15週	VHDによる60進BCDカウンタ記述	テストベンチを記述し、60進BCDカウンタの動作検証ができる。		
		16週	後期期末試験			
モデルコアカリキュラムの学習内容と到達目標						
分類		分野	学習内容	学習内容の到達目標	到達レベル	授業週
評価割合						
	定期試験		小テスト	演習	相互評価	合計
総合評価割合		80	5	15	0	100
専門的能力		80	5	15	0	100