

大分工業高等専門学校		開講年度	令和03年度 (2021年度)		授業科目	電子回路設計
科目基礎情報						
科目番号	R03E418		科目区分	専門 / 必修		
授業形態	授業		単位の種別と単位数	学修単位: 2		
開設学科	電気電子工学科		対象学年	4		
開設期	前期		週時間数	前期:2		
教科書/教材	(教科書) 堀桂太郎, 「図解VHDL実習第2版」, 森北出版 / (参考書) 兼田 護, 「VHDLによるデジタル電子回路設計」, 森北出版. Mark Zwolinski, 「VHDLデジタル回路設計 標準講座」, 翔泳社					
担当教員	辻 繁樹					
到達目標						
(1) これまでに学んだデジタル回路に関して理解を深め, 基礎力を強化できる。(課題演習) (2) VHDLを使った回路記述方法を理解できる。(課題演習, 定期試験) (3) VHDLを使って, 小規模な実用的デジタル回路を設計できる。(課題演習, 定期試験) (4) 課題演習を通して理解を深めるとともに, 系統的, 継続的な学習ができる。(課題演習)						
ルーブリック						
	理想的な到達レベルの目安		標準的な到達レベルの目安		未到達レベルの目安	
評価項目1	これまでに学んだデジタル回路に関して理解を深め, 基礎力の強化だけでなく, 応用もできている		これまでに学んだデジタル回路に関して理解を深め, 基礎力を強化できている		これまでに学んだデジタル回路に関して理解ができておらず, 基礎力を強化できていない	
評価項目2	VHDLを使った回路記述方法を十分理解できており, 活用もできている		VHDLを使った回路記述方法を理解できている		VHDLを使った回路記述方法を理解できていない	
評価項目3	VHDLを使った小規模な実用的デジタル回路の設計ができ, かつ, 可読性が高いソースファイルが記述できている		VHDLを使った小規模な実用的デジタル回路の設計ができている		VHDLを使った小規模な実用的デジタル回路の設計ができていない	
評価項目4	課題演習を通して理解を深めるとともに, 系統的, 継続的な学習が十分にできている		課題演習を通して理解を深めるとともに, 系統的, 継続的な学習ができています		課題演習を通して理解を深めるとともに, 系統的, 継続的な学習ができていない	
学科の到達目標項目との関係						
学習・教育目標 (B2) JABEE 1(2)(g) JABEE 2.1(1)①						
教育方法等						
概要	現在のVLSI開発においては, 論理設計からシステム設計までHDL (Hardware Description Language) が用いられており, 動作検証には種々のコンピュータシミュレーションが使用されている。本科目では, HDLとしてVHDLを使って各種デジタル回路を設計し, 実用的なデジタル回路について理解を深める (科目情報) 教育プログラム第1学年 ◎科目					
授業の進め方・方法	現在のVLSI開発においては, 論理設計からシステム設計までHDL (Hardware Description Language) が用いられており, 動作検証には種々のコンピュータシミュレーションが使用されている。本科目では, HDLとしてVHDLと呼ばれるハードウェア言語の基礎を学ぶとともに, 各種デジタル回路の設計を演習で取り組むことで実用的なデジタル回路について理解を深める。 (事前学習) 次回の授業までに前回学んだことを必ず復習すること。					
注意点	(履修上の注意) 本科目は学修単位であり, 2単位の修得には授業時間外の学修等とあわせて90単位時間の学修が必要な科目である。本科目では授業時間外の学修として課題を課す。 教科書を補足するために適宜プリントを配付する。 (自学上の注意) 講義内容をノートに書き写すだけでなく, 図書館等を利用し, 複数の書籍, 資料の中から情報を収集し, 要点を整理すること。					
評価						
(総合評価) 総合評価は, 定期試験の平均70%, 課題演習レポート30%とする (単位修得の条件について) 本科目は学修単位科目のため, レポートを実施するとともに全レポートの提出を単位習得の条件とする (再試験について) 再試験は実施しない						
授業の属性・履修上の区分						
☐ アクティブラーニング		☐ ICT 利用		☒ 遠隔授業対応		☐ 実務経験のある教員による授業
授業計画						
		週	授業内容	週ごとの到達目標		
前期	1stQ	1週	VHDLについて 基本論理回路の復習	VHDLの基本文法 基本構成, データ型, 論理演算子, 算術演算子, ベクタ記述		
		2週	VHDLの基本構文(1)	VHDLの基本文法 基本構成, データ型, 論理演算子, 算術演算子, ベクタ記述		
		3週	VHDLの基本構文(2)	VHDLの基本文法 基本構成, データ型, 論理演算子, 算術演算子, ベクタ記述		
		4週	Process文と階層設計	process文を用いた順次処理文の記述, if文, case文等を用いた条件判断文の記述 回路のモジュール化と階層設計		

		5週	組み合わせ回路の記述法	半加算器, 加算器, マルチプレクサ/デマルチプレクサ, エンコーダ/デコーダ等の回路記述, 組み合わせ回路設計の課題演
		6週	組み合わせ回路の設計(1)	半加算器, 加算器, マルチプレクサ/デマルチプレクサ, エンコーダ/デコーダ等の回路記述, 組み合わせ回路設計の課題演
		7週	組み合わせ回路の設計(2)	半加算器, 加算器, マルチプレクサ/デマルチプレクサ, エンコーダ/デコーダ等の回路記述, 組み合わせ回路設計の課題演
		8週	前期中間試験	
	2ndQ	9週	順序回路の記述法	各種フリップフロップ等の順序回路の設計と課題演習
		10週	前期中間試験の解答と解説 順序回路の設計(1)	各種フリップフロップ等の順序回路の設計と課題演習
		11週	順序回路の設計(2)	シフトレジスタ, 同期式カウンタ, アップダウンカウンタ等の設計と課題演習
		12週	順序回路の設計(3)	シフトレジスタ, 同期式カウンタ, アップダウンカウンタ等の設計と課題演習
		13週	演習	シミュレータを用いた演習
		14週	演習	シミュレータを用いた演習
		15週	前期末試験	
		16週	前期末試験の解答と解説 (4 5 分)	

モデルコアカリキュラムの学習内容と到達目標

分類	分野	学習内容	学習内容の到達目標	到達レベル	授業週		
評価割合							
	試験	発表	相互評価	態度	ポートフォリオ	レポート	合計
総合評価割合	70	0	0	0	0	30	100
基礎的能力	0	0	0	0	0	0	0
専門的能力	70	0	0	0	0	30	100
分野横断的能力	0	0	0	0	0	0	0