

大分工業高等専門学校		開講年度	平成30年度 (2018年度)		授業科目	プロジェクト実験Ⅲ	
科目基礎情報							
科目番号	30AES202			科目区分	専門 / 必修		
授業形態	実験・実習			単位の種別と単位数	学修単位: 1		
開設学科	専攻科電気電子情報工学専攻			対象学年	専2		
開設期	前期			週時間数	前期:1		
教科書/教材	宇野俊夫, 「トランジスタ技術SPECIAL No.105 ロジック回路設計ははじめの一步」, CQ出版社/長谷川裕恭, 「VHDLによるハードウェア設計入門」, CQ出版社						
担当教員	清武 博文						
到達目標							
(1) 高速デジタル回路の設計ができる。(設計演習レポート) (2) VHDLを用いたFPGAの回路設計ができる。(設計演習レポート) (3) 作品の特徴を効果的にアピールできる。(設計演習レポート, 実験への取り組み)							
ルーブリック							
	理想的な到達レベルの目安		標準的な到達レベルの目安		未到達レベルの目安		
高速デジタル回路の設計ができる	高速デジタル回路に必要な知識を習得し, 応用的な設計ができる		高速デジタル回路に必要な知識を習得し, 基本的な設計ができる		高速デジタル回路に必要な知識を習得し, 基本的な設計ができない		
VHDLを用いたFPGAの回路設計ができる	VHDLを用いて, 組合せ回路, 順序回路, 階層設計を用いた応用的な回路をFPGAにて実現できる。		VHDLを用いて, 組合せ回路, 順序回路, 階層設計を用いた基本的な回路をFPGAにて実現できる。		VHDLを用いて, 組合せ回路, 順序回路, 階層設計を用いた基本的な回路をFPGAにて実現できない。ふれ		
作品の特徴を効果的にアピールできる。	総合設計で設計制作した作品の特徴を深い考察によって効果的にアピールできる		総合設計で設計制作した作品の特徴を効果的にアピールできる		総合設計で設計制作した作品の特徴を効果的にアピールできない		
学科の到達目標項目との関係							
学習・教育到達度目標 (D1) 学習・教育到達度目標 (D2) JABEE 1(2)(d)(2) JABEE 1(2)(e) JABEE 1(2)(g) JABEE 1(2)(i)							
教育方法等							
概要	本実験はグループで高速画像処理装置の設計・開発を行い, 高速デジタル回路技術, 画像処理, VHDLを用いたFPGAの設計開発法を修得することを目的とする。前半は基礎知識やロジアナなどの測定器の使用法, 開発ソフトQuartus IIの使い方を学び, 後半から各グループで設計・開発を行い, 必ずしも解が一つでない課題に対して実現可能な解を見つけ出していくことを体験する。						
授業の進め方・方法	設計演習レポート作成のために, USBメモリを各自持参すること。 製作時間は正規授業時間では足りないので, 時間外の活動が必要である。 時間外の活動もレポートに記録すること。 総合評価=設計演習レポート×0.8+実験への取り組み状況×0.2 総合評価が60点以上を合格とする。 再試験は実施しない。						
注意点	実験前までに前回の実験内容の要点をまとめる。						
評価							
授業計画							
		週	授業内容		週ごとの到達目標		
前期	1stQ	1週	概要説明 CPLD/FPGAの基礎知識とFPGAの最新動向 使用するFPGAボードの概要		CPLD/FPGAの基礎知識とFPGAの最新動向を理解することができる。		
		2週	CPLD/FPGA開発の基礎		CPLD/FPGAの位置付け, 集積度と単価, 回路設計法の歴史的流れ, 内部構造について理解することができる。		
		3週	CPLD/FPGA開発の基礎		現在の主要なFPGAファミリの特長(論理ブロックの構造, プログラム方式)や専用機能について理解することができる。		
		4週	VHDLの文法Ⅰ		VHDLの基本事項を学び, 組み合わせ回路の設計を行うことができる。		
		5週	VHDLの文法Ⅰ		VHDLの基本事項を学び, 組み合わせ回路の設計を行うことができる。		
		6週	VHDLの文法Ⅱ		VHDLのフリップフロップや階層構造を使った設計を行うことができる。		
		7週	VHDLの文法Ⅱ		VHDLのフリップフロップや階層構造を使った設計を行うことができる。		
		8週	演習(1)		これまでの総合演習として, 電子ルーレット設計を実現できる。また, 各種コンパイルレポートやタイミング解析法を理解することができる。		
	2ndQ	9週	演習(1)		これまでの総合演習として, 電子ルーレット設計を実現できる。また, 各種コンパイルレポートやタイミング解析法を理解することができる。		
		10週	総合演習		より高度なFPGAを搭載したボードを使用し, 「拡大・縮小をリアルタイムで実施可能な高速画像処理装置」, 「電子ピアノ設計」, 「4bit CPU設計」から各自選択し, 設計・製作することができる。		
		11週	総合演習		より高度なFPGAを搭載したボードを使用し, 「拡大・縮小をリアルタイムで実施可能な高速画像処理装置」, 「電子ピアノ設計」, 「4bit CPU設計」から各自選択し, 設計・製作することができる。		

		12週	総合演習	より高度なFPGAを搭載したボードを使用し、「拡大・縮小をリアルタイムで実施可能な高速画像処理装置」,「電子ピアノ設計」,「4bit CPU設計」から各自選択し,設計・製作することができる。
		13週	総合演習	より高度なFPGAを搭載したボードを使用し、「拡大・縮小をリアルタイムで実施可能な高速画像処理装置」,「電子ピアノ設計」,「4bit CPU設計」から各自選択し,設計・製作することができる。
		14週		
		15週		
		16週		

モデルコアカリキュラムの学習内容と到達目標

分類	分野	学習内容	学習内容の到達目標	到達レベル	授業週
評価割合					
		設計演習レポート	取り組み状況	合計	
総合評価割合		80	20	100	
基礎的能力		40	15	55	
専門的能力		40	5	45	
分野横断的能力		0	0	0	