

鹿児島工業高等専門学校		開講年度	平成30年度 (2018年度)		授業科目	電子回路設計
科目基礎情報						
科目番号	0048		科目区分	専門 / 選択		
授業形態	講義		単位の種別と単位数	履修単位: 1		
開設学科	電気電子工学科		対象学年	5		
開設期	前期		週時間数	2		
教科書/教材	「VHDLによるハードウェア設計入門」 著者: 長谷川 裕恭 出版社: CQ出版社					
担当教員	奥 高洋					
到達目標						
実用的な電子回路システムを設計するという観点において、これまでに学んできたデジタル回路を復習しながら、ハードウェア記述言語 (HDL)を用いたデジタル回路の設計法および検証法を修得することを目指す。具体的には、以下に掲げる4つを目標とする。 1. 組合せ論理回路および順序回路を設計できる。 2. 組合せ論理回路および順序回路をVHDLで記述し、論理合成できる。 3. VHDLで記述した回路を、シミュレータで動作検証できる。 4. VHDLで記述した回路を、別なVHDL記述回路に組み込むことができる。						
ルーブリック						
	理想的な到達レベルの目安		標準的な到達レベルの目安		未到達レベルの目安	
評価項目1	設定なし		組合せ論理回路および順序回路を、論理の単純化やエッジ動作を考慮して設計できる。		組合せ論理回路および順序回路を設計できない。	
評価項目2	順序回路をVHDLの順次処理文を用いて記述し、論理合成できる。		組合せ論理回路をVHDLの同時処理文を用いて記述し、論理合成できる。		組合せ論理回路および順序回路をVHDLで記述できない。	
評価項目3	VHDL記述回路に対して、別途VHDLテストベンチを作成し、自動での動作検証ができる。		VHDLで記述した回路を、シミュレータにより手動での動作検証ができる。		VHDLで記述した回路を、シミュレータで動作検証できない。	
評価項目4	VHDLで記述した回路を、別なVHDL記述回路に複数階層にわたって組み込み、RTL規模の回路を設計できる。		VHDLで記述した回路を、別なVHDL記述回路に組み込むことができる。		VHDLで記述した回路を、別なVHDL記述回路に組み込むことができない。	
学科の到達目標項目との関係						
教育方法等						
概要	実社会においてはHDLを用いたデジタル回路設計が主流となっていることから、既に修得したデジタル回路に関する知識とリンクさせ、より高度な実用的設計手法を修得する。					
授業の進め方・方法	授業の前半は講義を行い、後半に演習 (VHDLプログラム作成) を行う。演習結果は毎回レポートとして提出すること。					
注意点	論理式とゲート回路のつながりや状態遷移の概念を、具体的な回路を想定して理解すること。					
授業計画						
		週	授業内容	週ごとの到達目標		
前期	1stQ	1週	デジタル回路 (復習) ①	組み合わせ回路について、回路設計できる。		
		2週	デジタル回路 (復習) ②	順序回路について、回路設計できる。		
		3週	ハードウェア記述言語①	FPGAの設計用言語および検証用言語 (HDL) について説明できる。		
		4週	ハードウェア記述言語②	VHDLプログラムの構成を説明できる。		
		5週	ハードウェア記述言語③	VHDLの基本的な文法を理解し、port文、同時処理文、signal文を用いた記述・論理合成ができる。		
		6週	ハードウェア記述言語④	VHDLの基本的な文法を理解し、port文、同時処理文、signal文を用いた記述・論理合成ができる。		
		7週	VHDLによる基本的な回路設計①	具体的な基本的論理回路をVHDLで記述・論理合成でき、回路動作を手動 (マニュアル) でシミュレーションで検証できる。		
		8週	VHDLによる基本的な回路設計②	具体的な基本的論理回路をVHDLで記述・論理合成でき、回路動作を手動 (マニュアル) でシミュレーションで検証できる。		
	2ndQ	9週	VHDLによる基本的な回路設計③	component文、configuration文、portmap文、process文等を理解し、シミュレーション用プログラム (テストベンチ) のVHDL記述・論理合成ができ、回路動作を自動シミュレーションで検証できる。		
		10週	VHDLによる基本的な回路設計④	component文、configuration文、portmap文、process文等を理解し、シミュレーション用プログラム (テストベンチ) のVHDL記述・論理合成ができ、回路動作を自動シミュレーションで検証できる。		
		11週	VHDLによる応用的な回路設計①	component文やportmap文等を利用して、回路呼び出しや組み込みを記述・論理合成でき、シミュレーションで検証できる。		
		12週	VHDLによる応用的な回路設計②	component文やportmap文等を利用して、回路呼び出しや組み込みを記述・論理合成でき、シミュレーションで検証できる。		
		13週	VHDLによる応用的な回路設計③	既成の回路を多層的に呼び出して組み込んだ規模の大きな回路をVHDL記述・論理合成でき、シミュレーションで検証できる。		
		14週	VHDLによる応用的な回路設計④	既成の回路を多層的に呼び出して組み込んだ規模の大きな回路をVHDL記述・論理合成でき、シミュレーションで検証できる。		
		15週	試験答案の返却・解説	試験において間違えた部分を自分の課題として把握する (非評価項目) 。		

		16週		
評価割合				
	試験		レポート	
総合評価割合	60		40	
基礎的能力	0		0	
専門的能力	60		40	
分野横断的能力	0		0	