

鹿児島工業高等専門学校		開講年度	令和03年度 (2021年度)	授業科目	回路工学特論
科目基礎情報					
科目番号	0031		科目区分	専門 / 選択	
授業形態	講義		単位の種別と単位数	学修単位: 2	
開設学科	電気情報システム工学専攻		対象学年	専2	
開設期	前期		週時間数	2	
教科書/教材	VHDLで学ぶデジタル回路設計, 吉田たけお・尾知博共著, CQ出版株式会社				
担当教員	芝 浩二郎				
到達目標					
<ul style="list-style-type: none"> ・ゲート回路、基本的な組み合わせ回路の機能を説明できる。 ・VHDLの基本的な文法を説明できる。 ・基本的な組み合わせ回路（マルチプレクサ、デコーダ等）をVHDLで設計できる。 ・基本的な順序回路（レジスタ、カウンタ、シフター等）をVHDLで設計できる。 ・与えられた課題の回路（ストップウォッチ回路）の回路構成を説明できる。 					
ループリック					
	理想的な到達レベルの目安	標準的な到達レベルの目安	未到達レベルの目安		
評価項目1	ゲート回路、基本的な組み合わせ回路の機能を説明できる。基本的な順序回路の機能を説明できる。応用的な順序回路の機能を説明できる。	ゲート回路、基本的な組み合わせ回路の機能を説明できる。基本的な順序回路の機能を説明できる。	ゲート回路、基本的な組み合わせ回路の機能を説明できない。		
評価項目2	VHDLの基本的な文法を説明できる。基本的な回路の記述文法を説明できる。コンポーネント化の記述文法を説明できる。	VHDLの基本的な文法を説明できる。基本的な回路の記述文法を説明できる。	VHDLの基本的な文法を説明できない。		
評価項目3	基本的な組み合わせ回路（マルチプレクサ、デコーダ等）をVHDLで設計できる。基本的な組み合わせ回路をコンポーネント化できる。	基本的な組み合わせ回路（マルチプレクサ、デコーダ等）をVHDLで設計できる。	基本的な組み合わせ回路（マルチプレクサ、デコーダ等）をVHDLで設計できない。		
評価項目4	基本的な順序回路（レジスタ、カウンタ、シフター等）をVHDLで設計できる。複数の順序回路を組み合わせた回路をVHDLで設計できる。	基本的な順序回路（レジスタ、カウンタ、シフター等）をVHDLで設計できる。	基本的な順序回路（レジスタ、カウンタ、シフター等）をVHDLで設計できない。		
評価項目5	与えられた課題の回路（ストップウォッチ回路）の回路構成を説明できる。回路構成をVHDLで設計できる。回路をコンポーネント化により簡潔にVHDLで設計できる。	与えられた課題の回路（ストップウォッチ回路）の回路構成を説明できる。回路構成をVHDLで設計できる。	与えられた課題の回路（ストップウォッチ回路）の回路構成を説明できない。		
学科の到達目標項目との関係					
学習・教育到達目標 3-3 JABEE (2012) 基準 1(2)(d)(1) 教育プログラムの科目分類 (4)②					
教育方法等					
概要	この科目は、企業で交通管制システム用端末機の開発を担当していた教員が、その経験を活かし、デジタル回路の設計手法等について講義（実習、実験）形式で授業を行うものである。現在、デジタル回路設計などのハードウェア設計は、ハードウェア記述言語を利用することが多い。したがって、論理回路、電子計算機の基礎知識を基に、基本的なデジタル回路をハードウェア記述言語で設計できる力を修得する。				
授業の進め方・方法	デジタル回路をハードウェア記述言語（VHDL）で設計できる力を修得するために、デジタル回路の理論・機能に基づきVHDLを用いた設計方法を演習形式で学ぶ。 ・デジタル回路における組合せ回路と順序回路の理論・機能を講義形式で教示し理解する ・組合せ回路と順序回路の理論に基づき、演習形式で基本的な組合せ回路と順序回路をVHDLで設計し理解する。 ・組合せ回路と順序回路の理論に基づき、演習形式で応用的な組合せ回路と順序回路をVHDLで設計し理解する。 ・講義形式の理論・機能は試験で理解度を確認する。 ・演習形式のVHDLによる設計はレポートで理解度を確認する。				
注意点	論理回路、電子計算機の基礎知識が必要である。また、ハードウェア記述言語（VHDL）の修得のためには、プログラミング（C言語など）の基礎知識が必要である。なお、本科目は、指示内容について210分程度の自学自習（予習・復習）が必要である。〔授業（90分）+自学自習（210分）〕×15回				
授業の属性・履修上の区分					
<input type="checkbox"/> アクティブラーニング		<input type="checkbox"/> ICT 利用		<input type="checkbox"/> 遠隔授業対応	
<input checked="" type="checkbox"/> 実務経験のある教員による授業					
授業計画					
	週	授業内容	週ごとの到達目標		
前期	1週	1. 論理回路とデジタルIC	<input type="checkbox"/> ゲート回路の使い方を説明できる。 <input type="checkbox"/> デジタルICの使い方を説明できる。		
	2週	1. 論理回路とデジタルIC	<input type="checkbox"/> ゲート回路の使い方を説明できる。 <input type="checkbox"/> デジタルICの使い方を説明できる。		
	3週	2. ハードウェア記述言語	<input type="checkbox"/> ハードウェア記述言語（VHDL）の概要を説明できる。 <input type="checkbox"/> 基本論理回路をVHDLで記述できる。 <input type="checkbox"/> 論理合成を実行できる。		
	4週	2. ハードウェア記述言語	<input type="checkbox"/> ハードウェア記述言語（VHDL）の概要を説明できる。 <input type="checkbox"/> 基本論理回路をVHDLで記述できる。 <input type="checkbox"/> 論理合成を実行できる。		

2ndQ	5週	2. ハードウェア記述言語	<input type="checkbox"/> ハードウェア記述言語 (VHDL) の概要を説明できる。 <input type="checkbox"/> 基本論理回路をVHDLで記述できる。 <input type="checkbox"/> 論理合成を実行できる。
	6週	3. 組み合わせ回路の設計	<input type="checkbox"/> 選択回路, デコーダ, エンコーダ, 比較回路をVHDLで記述できる。
	7週	3. 組み合わせ回路の設計	<input type="checkbox"/> 選択回路, デコーダ, エンコーダ, 比較回路をVHDLで記述できる。
	8週	3. 組み合わせ回路の設計	<input type="checkbox"/> 選択回路, デコーダ, エンコーダ, 比較回路をVHDLで記述できる。
	9週	4. フリップフロップとレジスタ	<input type="checkbox"/> D-FF, RS-FF, JK-FF, T-FFの動作を説明できる。 <input type="checkbox"/> レジスタをVHDLで記述できる。
	10週	4. フリップフロップとレジスタ	<input type="checkbox"/> D-FF, RS-FF, JK-FF, T-FFの動作を説明できる。 <input type="checkbox"/> レジスタをVHDLで記述できる。
	11週	4. フリップフロップとレジスタ	<input type="checkbox"/> D-FF, RS-FF, JK-FF, T-FFの動作を説明できる。 <input type="checkbox"/> レジスタをVHDLで記述できる。
	12週	5. 順序回路の設計	<input type="checkbox"/> 演算回路のVHDLによる設計, シミュレーション, および動作検証を行える。
	13週	5. 順序回路の設計	<input type="checkbox"/> 演算回路のVHDLによる設計, シミュレーション, および動作検証を行える。
	14週	5. 順序回路の設計	<input type="checkbox"/> 演算回路のVHDLによる設計, シミュレーション, および動作検証を行える。
	15週	試験答案の返却・解説	試験において間違えた部分を自分の課題として把握する。(非評価項目)
	16週		

評価割合

	試験	発表	相互評価	態度	ポートフォリオ	その他	合計
総合評価割合	60	0	0	0	0	40	100
基礎的能力	0	0	0	0	0	0	0
専門的能力	60	0	0	0	0	40	100
分野横断的能力	0	0	0	0	0	0	0