鹿児島工業高等専門学校	開講年度	平成30年度 (2018年度)	授業科目	回路工学特論

科目基礎情報

科目番号	0032	科目区分	専門 / 選択
授業形態	講義	単位の種別と単位数	学修単位: 2
開設学科	電気情報システム工学専攻	対象学年	専2
開設期	前期	週時間数	2
教科書/教材	VHDLで学ぶディジタル回路設計，吉田たけお・尾知博共著，CQ出版株式会社		
担当教員	芝 浩二郎		

到達目標

・ゲート回路、基本的な組み合わせ回路の機能を説明できる。
・VHDLの基本的な文法を説明できる。
・基本的な組み合わせ回路（マルチプレクサ、デコーダ等）をVHDLで設計できる。
・基本的な順序回路（レジスタ、カウンタ、シフター等）をVHDLで設計できる。
・与えられた課題の回路（ストップウォッチ回路）の回路構成を説明できる。

ルーブリック

	理想的な到達レベルの目安	標準的な到達レベルの目安	未到達レベルの目安
評価項目1	ゲート回路、基本的な組み合わせ回路の機能を説明できる。基本的な順序回路の機能を説明できる。応用的な順序回路の機能を説明できる。	ゲート回路、基本的な組み合わせ回路の機能を説明できる。基本的な順序回路の機能を説明できる。	ゲート回路、基本的な組み合わせ回路の機能を説明できない。
評価項目2	VHDLの基本的な文法を説明できる。基本的な回路の記述文法を説明できる。コンポーネント化の記述文法を説明できる。	VHDLの基本的な文法を説明できる。基本的な回路の記述文法を説明できる。	VHDLの基本的な文法を説明できない。
評価項目3	基本的な組み合わせ回路（マルチプレクサ、デコーダ等）をVHDLで設計できる。基本的な組み合わせ回路をコンポーネント化できる。	基本的な組み合わせ回路（マルチプレクサ、デコーダ等）をVHDLで設計できる。	基本的な組み合わせ回路（マルチプレクサ、デコーダ等）をVHDLで設計できない。
評価項目４	基本的な順序回路（レジスタ、カウンタ、シフター等）をVHDLで設計できる。複数の順序回路を組み合わせた回路をVHDLで設計できる。	基本的な順序回路（レジスタ、カウンタ、シフター等）をVHDLで設計できる。	基本的な順序回路（レジスタ、カウンタ、シフター等）をVHDLで設計できない。
評価項目５	与えられた課題の回路（ストップウォッチ回路）の回路構成を説明できる。回路構成をVHDLで設計できる。回路をコンポーネント化により簡潔にVHDLで設計できる。	与えられた課題の回路（ストップウォッチ回路）の回路構成を説明できる。回路構成をVHDLで設計できる。	与えられた課題の回路（ストップウォッチ回路）の回路構成を説明できない。

学科の到達目標項目との関係

教育方法等

概要	現在，ディジタル回路設計などのハードウェア設計は，ハードウェア記述言語を利用することが多い．したがって，論理回路，電子計算機の基礎的知識を基に，基本的なディジタル回路をハードウェア記述言語で設計できる力を修得する．
授業の進め方・方法	ディジタル回路をハードウェア記述言語（VHDL)で設計できる力を修得するために、ディジタル回路の理論・機能に基づきVHDLを用いた設計方法を演習形式で学ぶ。 ・ディジタル回路における組合せ回路と順序回路の理論・機能を講義形式で教示し理解する ・組合せ回路と順序回路の理論に基づき、演習形式で基本的な組合せ回路と順序回路をVHDLで設計し理解する。 ・組合せ回路と順序回路の理論に基づき、演習形式で応用的な組合せ回路と順序回路をVHDLで設計し理解する。 ・講義形式の理論・機能は試験で理解度を確認する。 ・演習形式のVHDLによる設計はレポートで理解度を確認する。
注意点	論理回路，電子計算機の基礎知識が必要である．また，ハードウェア記述言語（VHDL）の修得のためには，プログラミング（C言語など）の基礎知識が必要である．なお，本科目は，指示内容について210分程度の自学自習（予習・復習）が必要である．

授業計画

		週	授業内容	週ごとの到達目標
前期	1stQ	1週	１．論理回路とディジタルIC	□ ゲート回路の使い方を説明できる. □ ディジタルＩＣの使い方を説明できる.
		2週	１．論理回路とディジタルIC	□ ゲート回路の使い方を説明できる. □ ディジタルＩＣの使い方を説明できる.
		3週	２．ハードウェア記述言語	□ ハードウェア記述言語（VHDL）の概要を説明できる. □ 基本論理回路をVHDLで記述できる. □ 論理合成を実行できる.
		4週	２．ハードウェア記述言語	□ ハードウェア記述言語（VHDL）の概要を説明できる. □ 基本論理回路をVHDLで記述できる. □ 論理合成を実行できる.
		5週	２．ハードウェア記述言語	□ ハードウェア記述言語（VHDL）の概要を説明できる. □ 基本論理回路をVHDLで記述できる. □ 論理合成を実行できる.
		6週	３．組み合わせ回路の設計	□ 選択回路，デコーダ，エンコーダ，比較回路をVHDLで記述できる.
		7週	３．組み合わせ回路の設計	□ 選択回路，デコーダ，エンコーダ，比較回路をVHDLで記述できる.
		8週	３．組み合わせ回路の設計	□ 選択回路，デコーダ，エンコーダ，比較回路をVHDLで記述できる.

	2ndQ	9週	４．フリップフロップとレジスタ	□ D-FF, RS-FF, JK-FF, T－FFの動作を説明できる. □レジスタをVHDLで記述できる.
		10週	４．フリップフロップとレジスタ	□ D-FF, RS-FF, JK-FF, T－FFの動作を説明できる. □レジスタをVHDLで記述できる.
		11週	４．フリップフロップとレジスタ	□ D-FF, RS-FF, JK-FF, T－FFの動作を説明できる. □レジスタをVHDLで記述できる.
		12週	５．順序回路の設計	□ 演算回路のVHDLによる設計，シミュレーション，および動作検証を行える.
		13週	５．順序回路の設計	□ 演算回路のVHDLによる設計，シミュレーション，および動作検証を行える.
		14週	５．順序回路の設計	□ 演算回路のVHDLによる設計，シミュレーション，および動作検証を行える.
		15週	試験答案の返却・解説	試験において間違えた部分を自分の課題として把握する。（非評価項目）
		16週		

評価割合

	試験	発表	相互評価	態度	ポートフォリオ	その他	合計
総合評価割合	60	0	0	0	0	40	100
基礎的能力	0	0	0	0	0	0	0
専門的能力	60	0	0	(-20)	0	40	100
分野横断的能力	0	0	0	0	0	0	0