

沖縄工業高等専門学校		開講年度	平成31年度 (2019年度)		授業科目	組込みシステムI
科目基礎情報						
科目番号	4218		科目区分	専門 / 選択		
授業形態	講義		単位の種別と単位数	学修単位: 2		
開設学科	情報通信システム工学科		対象学年	4		
開設期	前期		週時間数	2		
教科書/教材	プリントおよび電子データを配布する。					
担当教員	山田 親稔					
到達目標						
組込みシステムを構成する組込みプロセッサの基礎および組込みシステムの開発手法を理解する。実用に供せられているコンピュータシステムの利用形態について説明できる。 【V-D-3:6-1】ハードウェア記述言語など標準的な手法を用いてハードウェアの設計、検証を行うことができる。						
ルーブリック						
	理想的な到達レベルの目安		標準的な到達レベルの目安		最低限必要な到達レベル (可)	
組込みシステムを構成する組込みプロセッサ、専用回路の基礎を理解する。	組込みシステムを構成する組込みプロセッサ、専用回路の基礎を理解し、簡単なプロセッサを工夫して実装できる。		組込みシステムを構成する組込みプロセッサ、専用回路の基礎を理解し、簡単なプロセッサを実装できる。		組込みシステムを構成する組込みプロセッサ、専用回路の基礎を理解する。	
組込みシステムの開発手法を理解する。	組込みシステムの開発手法を理解し、ハードウェアとの連係を検討できる。		組込みシステムの開発手法を理解する。		組込みシステムを理解する。	
学科の到達目標項目との関係						
教育方法等						
概要	組込みプロセッサとして改良版TeC6(TeC6_Rev)を採用し、OSレスの組込みシステムを実習形式で開発する。また、専用ハードウェアおよび制御対象のシステムは、VHDL言語を用いて設計し、FPGAボード(TDBD-TS101)上に実装する。					
授業の進め方・方法						
注意点						
授業計画						
		週	授業内容		週ごとの到達目標	
前期	1stQ	1週	組込みシステムの概要 本講義の概要および進め方、組込みシステムの概要、デジタル回路の復習			
		2週	VHDLによる設計演習(1) VHDLによるハードウェア設計の基礎		【V-D-3:6-1】ハードウェア記述言語など標準的な手法を用いてハードウェアの設計、検証を行うことができる。	
		3週	VHDLによる設計演習(2) VHDLによる階層設計		【V-D-3:6-1】ハードウェア記述言語など標準的な手法を用いてハードウェアの設計、検証を行うことができる。	
		4週	VHDLによる設計演習(3) VHDLによるシミュレーションの基礎		【V-D-3:6-1】ハードウェア記述言語など標準的な手法を用いてハードウェアの設計、検証を行うことができる。	
		5週	VHDLによる設計演習(4) VHDLによる実用的な組み合わせ回路の設計 ①		【V-D-3:6-1】ハードウェア記述言語など標準的な手法を用いてハードウェアの設計、検証を行うことができる。	
		6週	VHDLによる設計演習(5) VHDLによる実用的な組み合わせ回路の設計 ②		【V-D-3:6-1】ハードウェア記述言語など標準的な手法を用いてハードウェアの設計、検証を行うことができる。	
		7週	VHDLによる設計演習(6) VHDLによる実用的な組み合わせ回路の設計 ③		【V-D-3:6-1】ハードウェア記述言語など標準的な手法を用いてハードウェアの設計、検証を行うことができる。	
		8週	前期中間試験			
	2ndQ	9週	VHDLによる設計演習(7) VHDLによるレジスタの設計 ①		【V-D-3:6-1】ハードウェア記述言語など標準的な手法を用いてハードウェアの設計、検証を行うことができる。	
		10週	VHDLによる設計演習(8) VHDLによるレジスタの設計 ②		【V-D-3:6-1】ハードウェア記述言語など標準的な手法を用いてハードウェアの設計、検証を行うことができる。	
		11週	VHDLによる設計演習(9) VHDLによるカウンタの設計		【V-D-3:6-1】ハードウェア記述言語など標準的な手法を用いてハードウェアの設計、検証を行うことができる。	
		12週	VHDLによる設計演習(10) VHDLによるステートマシンの設計		【V-D-3:6-1】ハードウェア記述言語など標準的な手法を用いてハードウェアの設計、検証を行うことができる。	
		13週	VHDLによる設計演習(11) VHDLによる同期式順序回路の設計 ①		【V-D-3:6-1】ハードウェア記述言語など標準的な手法を用いてハードウェアの設計、検証を行うことができる。	
		14週	VHDLによる設計演習(12) VHDLによる同期式順序回路の設計 ②		【V-D-3:6-1】ハードウェア記述言語など標準的な手法を用いてハードウェアの設計、検証を行うことができる。	

		15週	VHDLによる設計演習(13) VHDLによる同期式順序回路の設計 ③		【V-D-3:6-1】ハードウェア記述言語など標準的な手法を用いてハードウェアの設計、検証を行うことができる。		
		16週					
評価割合							
	試験	発表	レポート	態度	ポートフォリオ	その他	合計
総合評価割合	60	0	40	0	0	20	120
基礎的能力	40	0	20	0	0	10	70
応用力（実践・専門・融合）	10	0	10	0	0	0	20
社会性	0	0	0	0	0	0	0
主体的・継続的 学習意欲	10	0	10	0	0	10	30