

沖縄工業高等専門学校		開講年度	令和02年度 (2020年度)	授業科目	デジタルシステム設計
科目基礎情報					
科目番号	4315		科目区分	専門 / 選択	
授業形態	授業		単位の種別と単位数	学修単位: 2	
開設学科	メディア情報工学科		対象学年	4	
開設期	通年		週時間数	1	
教科書/教材	都度, 教材(手順書, 資料)を提示する。				
担当教員	與那嶺 尚弘				
到達目標					
<p>いわゆるSoCシステムの構築では、ハードウェア処理とソフトウェア処理による機能分割を考慮したシステム設計・デバッグが必要となる。そこで、Webカメラを搭載した画像デジタルシステムを設計し、用途に応じたデジタルシステムの設計を習得する。さらにデジタルシステム上でハード&ソフト協調デバッグを実習する。</p> <p>【V-D-4】 【VI-D】 【V-D-8 メディア情報処理】</p>					
ルーブリック					
		理想的な到達レベルの目安	標準的な到達レベルの目安	最低限必要な到達レベル (可)	
ハードウェア記述言語によりデジタル回路を記述できる。		ハードウェア記述言語「Verilog HDL」を用いた論理回路設計として、組み合わせ回路記述、順序回路記述、レジスタ・トランスファ・ロジック記述が十分にできる。	ハードウェア記述言語「Verilog HDL」を用いた論理回路設計として、組み合わせ回路記述、順序回路記述、レジスタ・トランスファ・ロジック記述ができる。	ハードウェア記述言語「Verilog HDL」を用いた論理回路設計として、組み合わせ回路記述、順序回路記述、レジスタ・トランスファ・ロジック記述ができない。	
論理シミュレータを用いてデジタル回路を設計検証できる。		論理シミュレータによる設計検証に必要な記述が十分にできる。	論理シミュレータによる設計検証に必要な記述ができる。	論理シミュレータによる設計検証に必要な記述ができない。	
EDAを用いて論理合成を行い、設計したデジタル回路をプログラマブル・ロジック・デバイスへ実装し、動作を検証できる。		論理合成を行い、プログラマブル・ロジック・デバイスによる実装が十分にできる。	論理合成を行い、プログラマブル・ロジック・デバイスによる実装ができる。	論理合成を行い、プログラマブル・ロジック・デバイスによる実装ができない。	
学科の到達目標項目との関係					
教育方法等					
概要	<p>科目目標【MCC目標】 Verilog HDLの文法事項全般、階層構成の記述、高度なテスト・ベンチの記述、RTL記述の手法を解説する。また、プログラマブル・ロジック・デバイスを搭載した実習ボードにより、HDLを用いたデジタル回路設計手法を修得する。 【V-D-4】 【VI-D】 【V-D-8 メディア情報処理】</p> <p>総合評価 報告書の提出/受付 (50%) および実習方法に基づいた適切な実習を行えたか (50%) の合計点で評価する。</p>				
授業の進め方・方法	Verilog HDL記述と論理合成される回路の対応を具用例を示して解説する。また、ソフトウェアにはない並列処理の考え方や回路構成とその記述法を示し、シミュレーションおよび実習ボードを用いて動作を検証する。講義は、座学と実習 (シミュレーション、論理合成、配置配線、実習ボードへの実装) を段階毎に行いステップ・アップするスパイラル方式で進める。				
注意点	課題は自ら取り組むこと。 教科書・教材および参考書籍等は適宜提示する。				
授業計画					
		週	授業内容	週ごとの到達目標	
前期	1stQ	1週	ガイダンス、HDL設計開発の流れ1	<ul style="list-style-type: none"> ・HDLを用いたデジタル回路設計手法を理解し、説明できる。 ・ハードウェア開発とソフトウェア開発との違いを理解できる。 ・Verilog HDL開発環境をインストールし、操作方法を理解できる。 	
		2週	HDL設計開発の流れ2、組み合わせ回路設計1	<ul style="list-style-type: none"> ・Verilog HDLの基本的な文法を理解できる。 ・組み合わせ論理回路を記述できる。 	
		3週	組み合わせ回路設計2	<ul style="list-style-type: none"> ・Verilog HDLの基本的な文法を理解できる。 ・組み合わせ論理回路を記述できる。 	
		4週	順序回路設計1	<ul style="list-style-type: none"> ・Verilog HDLの基本的な文法を理解できる。 ・組み合わせ論理回路と順序回路の違いを理解し、説明できる。 ・順序回路を記述できる。 	
		5週	順序回路設計2	<ul style="list-style-type: none"> ・Verilog HDLの基本的な文法を理解できる。 ・組み合わせ論理回路と順序回路の違いを理解し、説明できる。 ・順序回路を記述できる。 	
		6週	組み合わせ回路・順序回路設計	<ul style="list-style-type: none"> ・組み合わせ論理回路と順序回路を組み合わせた回路を設計・記述できる。 	
		7週	構造化記述、シミュレーション記述1	<ul style="list-style-type: none"> ・構造化記述を理解し、必要性を説明できる。 ・シミュレーション記述を理解できる。 ・シミュレーション記述を用いて、設計した回路の動作を検証できる。 	
		8週	シミュレーション記述2	<ul style="list-style-type: none"> ・シミュレーション記述を理解できる。 ・シミュレーション記述を用いて、設計した回路の動作を検証できる。 	
	2ndQ	9週	実習ボードでの演習1	<ul style="list-style-type: none"> ・統合開発ツールを用いて、設計記述した回路を論理合成できる。 ・統合開発ツールを用いて、論理合成した回路をプログラマブル・ロジック・デバイスに実装し、動作を検証できる。 	

		10週	実習ボードでの演習 2	・統合開発ツールを用いて、設計記述した回路を論理合成できる。 ・統合開発ツールを用いて、論理合成した回路をプログラマブル・ロジック・デバイスに実装し、動作を検証できる。
		11週	実習ボードでの演習 3	・統合開発ツールを用いて、設計記述した回路を論理合成できる。 ・統合開発ツールを用いて、論理合成した回路をプログラマブル・ロジック・デバイスに実装し、動作を検証できる。
		12週	実習ボードでの演習 4	・統合開発ツールを用いて、設計記述した回路を論理合成できる。 ・統合開発ツールを用いて、論理合成した回路をプログラマブル・ロジック・デバイスに実装し、動作を検証できる。
		13週	自由課題 1	・Verilog HDLを用いてデジタル回路を設計し、プログラマブル・ロジック・デバイスに実装し、動作を検証できる。
		14週	自由課題 2	・Verilog HDLを用いてデジタル回路を設計し、プログラマブル・ロジック・デバイスに実装し、動作を検証できる。
		15週	自由課題 3	・Verilog HDLを用いてデジタル回路を設計し、プログラマブル・ロジック・デバイスに実装し、動作を検証できる。
		16週		
後期	3rdQ	1週		
		2週		
		3週		
		4週		
		5週		
		6週		
		7週		
		8週		
	4thQ	9週		
		10週		
		11週		
		12週		
		13週		
		14週		
		15週		
		16週		

評価割合

	定期試験	小テスト	レポート	その他（演習課題・発表・実技・成果物等）	合計
総合評価割合	0	0	50	50	100
基礎的理解	0	0	25	25	50
応用力（実践・専門・融合）	0	0	25	25	50
社会性（プレゼン・コミュニケーション・PBL）	0	0	0	0	0
主体的・継続的学修意欲	0	0	0	0	0